robotron

HARDWARE
DOKUMENTATION

Betriebsdokumentation Heft 1

Personalcomputer EC 1834

3., überarbeitete Auflage
Karl-Marx-Stadt 1989

(C) VEB Kombinat Robotron 1989

Betriebsdokumentation

Personalcomputer robotron EC 1834

Inhalt

I. Technische Beschreibung

II. Betriebsanleitung
(siehe Software Dokumentation "Anleitung für den Bediener")

III. Wartungsvorschrift

IV. Aufstell- und Inbetriebnahmevorschrift
(siehe Software Dokumentation "Anleitung für den Bediener")

V. Lebenslaufakte
(siehe Werksattest)

VI. Verzeichnis der Ersatzteile, Werkzeuge und Zubehörteile

1.62.540117.8 (GER)
085-3-000
850.53.01.001

I. Technische Beschreibung

Inhaltsverzeichnis

1. Einleitung

2. Anwendungsbereich

3. Technische Parameter

4. Bestandteile des Erzeugnisses

5. Aufbau und Arbeitsweise des Erzeugnisses
5.1. Aufbau
5.2. Arbeitsweise

6. Aufbau und Arbeitsweise der Bestandteile des Erzeugnisses (siehe "Technische Beschreibung" der Baugruppen)

7. Mess-, Steuerungs- und Regelungseinrichtungen

8. Werkzeuge und Zubehör

9. Aufstellung und Montage

10. Kennzeichnung und Plombierung

11. Masse und Art der Verpackung

1. Einleitung

Die vorliegende Dokumentation dient in erster Linie zur Unterstützung der Qualifikation von Servicetechnikern für den PC EC 1834.
Gemäss der einheitlichen Kundendienstkonzeption des Kombinats Robotron soll der Servicetechniker befähigt werden, neue Geräte zu installieren und erforderliche Einstellungen vorzunehmen sowie Störungen am PC beim Anwender zu erkennen, die fehlerhafte Baugruppe zu orten und auszutauschen. Er wendet zur Fehlersuche hauptsächlich die bereitgestellte Diagnosesoftware an.
Dazu ist es erforderlich, dass der Servicetechniker neben dem technischen Wissen auch Grundkenntnisse in der Bedienung der Hardware, der Arbeit mit den Dienst- und Hilfsprogrammen und einen Überblick über Betriebssystem sowie Standardsoftware besitzt.
Mit dem Erzeugnis " Personalcomputer EC 1834 " beginnt der VEB Kombinat Robotron eine mit den RGW-Staaten abgestimmte Entwicklungslinie hochleistungsfähiger Arbeitsplatztechnik.

2. Anwendungsbereich

Das Gerät EC 1834 gehört zur 2. Generation der Personalcomputer. Seine "Vorläufererzeugnisse BC A 5120/A 5130 und PC 1715 erreichen nicht annähernd seine Leistungsfähigkeit. Eine qualitativ bessere Hardware-Basis gestattet eine Reihe von Anwendungen, die erst mit dem Einsatz dieses PC realisiert werden kann.
Der PC EC 1834 ist kompatibel zum PC/XT und analogen Geräten. Durch das Betriebssystem DCP 3.20 (seit 10/88 DCP 3.30) wird die notwendige Vorbereitungs- und Programmierzeit wesentlich verkürzt. Umfangreiche Menüauswahl und Hilfstexte unterstützen die Kommunikation zwischen Bediener, Programmierer und Gerät. Für die Aussattungsvariante Farbbildschirm sind wichtige Texte besonders und in Farbe hervorgehoben.
Der Computer wird in verschiedenen Grundkonfigurationen angeboten.
Eingesetzt wird das Gerät als Sologerät und als Terminal. Beides, Gerät und Betriebssystem sind als offene Systeme konzipiert. Die Peripherie kann beliebig erweitert werden.

Zu den Einsatzgebieten gehören u.a.:

- CAD-Anwendungen
- Softwareentwicklungen
- Betriebswirtschaftliche Aufgaben
- Wissentschaftlich-technische Aufgaben

Als 2. Betriebssystem steht ab Mitte 1989 MUTOS zur Verfügung.

3. Technische Parameter

Netzspannung :	220 V (187...242 V)
Netzfrequenz :	47...63 Hz
Umgebungsbedingungen :	Einsatzklasse 2 nach TGL 26465
	Temperatur +10 bis +35 °C
	max. Temperaturgradient 15 K/h
	max. rel Luftfeuchte 80% bei 25 °C.
	Luftdruck 84...107 kPa
Funkentstörung :	entsprechend TGL 20885/12 F1,F3 sowie nach VDE 8718 und GOST 23511/79

Schutzgrad :	IP 20 nach TGL RGW 778 für das Netzteil der Systemeinheit und für die Monitore IP 00 für alle übrigen Funktionsgruppen
Schutzklasse :	1 nach TGL 21366
Schalleistungspegel :	Leerlauf max. 52 dB AS Betrieb max. 65 dB AS

Technische Daten der Systemeinheit

Gefäss : Kombinierte Plast-Blech-Konstruktion bestehend aus
- Bodenwanne und Deckel aus Blech, der Deckel ist ohne Werkzeug einfach zu öffnen
- Rückwand und Vorderwand aus Plast
- Aufnahme für die Datenträgerlaufwerke
- Netzschalteinrichtung und Anzeigeelemente

Netzteil (SVE) mit Lüfter: Das Netzteil ist voll verkleidet und realisiert intern alle Schutzgüteforderungen bezüglich elektrischer Sicherheit.

Abmessungen (mm) :	Breite	Tiefe	Höhe
	517	406	140

Masse :	16 bis 20 kg je nach Ausstattung
Leistungsaufnahme:	max. 150 W
Kühlung :	zwangsbelüftet, Luftaustritt nach hinten
Netzschalter :	integrierter Bestandteil des Netzteiles, über Gestänge von vorn bedienbar
Anzeigefunktionen :	Betriebsanzeige (LED) Harddisk-Funktionsanzeige (LED) akustischer Signalgeber (programmierbar)
Erweiterungssteckplätze :	8 Plätze für BLP in den Abmessungen 100 mm x 360/300/240/172,5 mm

Aufnahmerahmen für Datenträgerlaufwerke :
1 x Harddisk-Laufwerk
2 x 5,25 Zoll Floppy-Disk-Laufwerk
oder 4 x 5,25 Zoll Floppy-Disk-Laufwerk

Hinweis : Die technischen Daten der einzelnen Funktionsgruppen sind dem jeweiligen Kapitel der Technischen Beschreibung zu entnehmen.

4. Bestandteile des Erzeugnisses

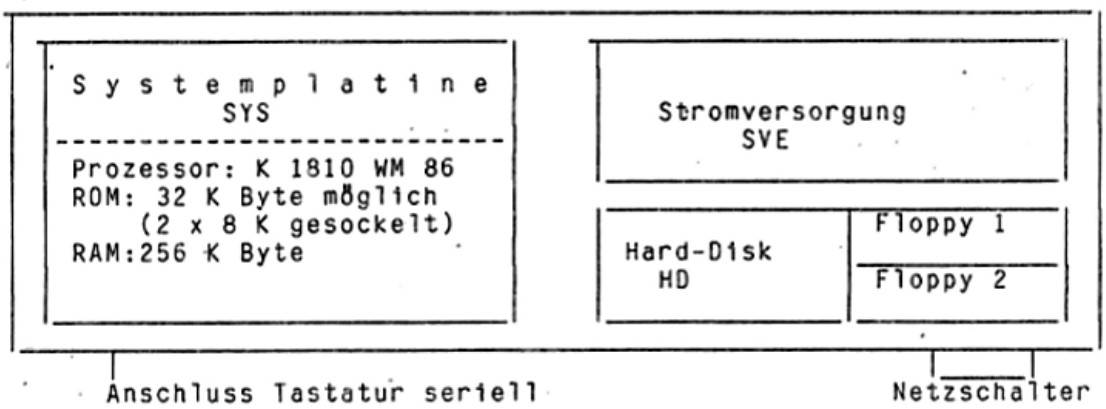
Grundlage der Hardware ist das sowjetische Mikrorechnersystem K 1810 auf der Basis des 16-bit Mikroprozessors K 1810 WM 86.
Der interne Hauptspeicher (RAM) hat eine Kapazität von 256 KByte und kann wahlweise auf bis zu 640 KByte erweitert werden.
In der Systemeinheit befindet sich die gesamte Elektronik auf der waagerecht liegenden Systemplatine mit, je nach Ausstattung, bis zu acht senkrecht angeordneten, steckbaren Adaptern u.a. für

- Speichererweiterung
- monochromatischen alphanumerischen Bildschirm
- Farb/Grafik-Bildschirm
- Floppy-Disk
- Hard-Disk
- Netzwerk-Anschluss
- Anschluss V.24/IFSS
- Drucker

Der PC kann mit ein, zwei oder vier 5,25"-Folienspeicherlaufwerken robotron K 5601 ausgerüstet sein. Bei den Varianten mit weniger als vier Laufwerken kann wahlweise zusätzlich ein Harddisk installiert werden.
Grundsätzlich wird für den Anschluss des Hauptdruckers ein Centronics- Interface zur Verfügung gestellt. Zwei oder vier Interfaces V24 bzw IFSS gewährleisten den Anschluss zusätzlicher Peripherie wie Zweitdrucker, Plotter, Digitalisiergerät sowie spezielle Messgeräte.
Die Kommunikation mit dem Computer erfolgt über monochromatischen alphanumerischen bzw. grafikfähigen oder Color/Grafik-Bildschirm und über eine Flachtastatur.

5. Aufbau und Arbeitsweise des Erzeugnisses

5.1. Aufbau



Erweiterungsmöglichkeiten:

1.	Speichererweiterung um 384 K Byte	SE
2.	Monochromatischer alphanumerischer Bildschirmadapter	ABA
3.	Farb/Grafik-Bildschirmadapter (belegt zwei Steckplätze)	FBA
4.	Hard-Disk-Controller	HDC
5.	Floppy-Disk-Controller	FDC
6.	Adapter für serielle Kommunikation	ASC/ASK
7.	Druckeradapter (Centronics)	DA
8.	Busverlängerung	BUS
9.	KIF-Adapter	KIF
10.	LAN-Adapter	LAN

Zur Nutzung der international angebotenen Adapterplatten mit direktem Steckverbinder wird auch eine Austattungsvariante in folgender Aufstellung angeboten:

2 Steckplätze mit direktem Steckverbinder
5 Steckplätze mit indirektem Steckverbinder.

5.2. Arbeitsweise

5.2.1. Betriebssystem

Das Standardbetriebssystem des PC 1834 ist das Betriebssystem DCP 3.20 (DCP = Disk Control Program). Es ist kompatibel zu den entsprechenden PC-DOS-Versionen (DOS = Disk Operating System).
Der Kern des Betriebssystems besteht aus den Komponenten
ROM-BIOS, der u.a. die physischen Gerätetreiber, Testroutinen und die BOOT-Routine enthält;
BIO.COM, die logischen Gerätetreiber;
DOS.COM, das logische System des Kerns und die Programmier-Systemschnittstelle;
COMMAND.COM, dem Kommandointerpreter.
Die Kommunikation mit dem Betriebssystem DCP 3.20 erfolgt über den Kommandointerpreter COMMAND.COM, mit dessen Hilfe auf eine Vielzahl von Kommandos zugegriffen werden kann. Externe Kommandos befinden sich auf Diskette oder Festplatte, interne Kommandos beinhaltet der Interpreter selbst.

Interne Kommandos realisieren u.a. das
- Kopieren von Dateien
- Anlegen von Verzeichnissen
- Ändern des aktuellen Verzeichnisses
- Auslisten von Verzeichnissen
- Löschen von Dateien und Verzeichnissen
- Umbenennen von Verzeichnissen
- Definieren von Suchpfaden ausführbarer Dateien
- Auslisten von Dateien sowie
- Anzeige und Ausgabe von Datum und Uhrzeit

Über externe Kommandos können z. B. folgende Funktionen aufgerufen werden:

- Formatieren von Diskette oder Festplatte
- Vergleichen von zwei Dateien
- Vergleich von zwei Disketten
- Kopieren einer Diskette auf eine andere
- Sichern von Dateien auf Disketten
- Durchsuchen von Dateien nach Zeichenketten
- Anzeige aller Verzeichnispfade und Auflistung der Dateien der Unterverzeichnisse
- Druck des Inhaltes eines Farb/Grafik-Bildschirmes
- Modus - Festlegung für Drucker, Bildschirm oder asynchrone Datenübertragung
- Ausgabe von Dateien auf Drucker
- Einstellung der Tastatur-Ländervariante
- Auswahl des Tastaturtyps und des Datum-/Zeitformates
- Kopieren des DCP auf ein anderes Laufwerk
- Konvertieren von SCPX-Dateien

5.2.2. Diagnosesoftware

Die Diagnosesoftware kann in zwei Gruppen untergliedert werden. Der maschinenresidente Teil der Diagnosesoftware befindet sich im ROM und führt nach Einschalten des Computers einen Eigentest durch. Mit dem Eigentest kann das System aber nicht vollständig getestet werden. Deshalb ist als zweiter Komplex ein Diagnosepaket vorhanden, das dem Anwender und dem Service-Techniker erlaubt, bei vermuteten Hardwarefehlern eine Diagnose des Systems vorzunehmen. Über ein Rahmenprogramm werden die verschiedenen Testprogramme von der Diskette aufgerufen und sowohl Existenztests auf Vorhandensein der zu testenden Baugruppen als auch Diagnosetests durchgeführt. Nähere Angaben zu den erwähnten Testprogrammen sind unter dem Hauptpunkt "Diagnose" zu finden.

5.2.3. Standardsoftware

Als Standardsoftware steht dem Anwender eine grosse Anzahl von Programmpaketen zur Verfügung. So unter anderem

- Datenbanksystem REDABAS-3
- Tabellenkalkulation MULTICALC
- Textprozessor TP
- Geschäftsgrafik BGR
- Informationsrecherchesystem AIDOS
- Tourenoptimierung TOUR
- Bearbeiten von SCP-Disketten unter DCP
- CAD-Systeme

Für das Erarbeiten von Programmen in Maschinensprache können Entwicklungswerkzeuge eingesetzt werden, die u.a. bestehen aus dem

- Zeileneditor EDLIN
- bildschirmorientierten Editor BE
- Makroassembler MASM
- Linker LINK
- symbolischen Debugger SYMDEB

5.2.4. Programmiersprachen

Zur Erzeugung von Maschinenprogrammen können folgende problemorientierte Sprachen verwendet werden:

- BASIC-Interpreter
- BASIC-Compiler
- Standard-BASIC
- T-PASCAL
- FORTRAN
- C-Sprache
- Modula-2

7. Mess-, Steuerungs- und Regelungseinrichtungen

Mess-, Steuerungs- und Regelungseinrichtungen des EC 1834 sind in der Funktionsbeschreibung für die jeweilige elektronische Baugruppe aufgeführt.

8. Werkzeuge und Zubehör

(siehe "Verzeichnis der Ersatzteile, Werkzeuge und Zubehörteile")

9. Aufstellung und Montage

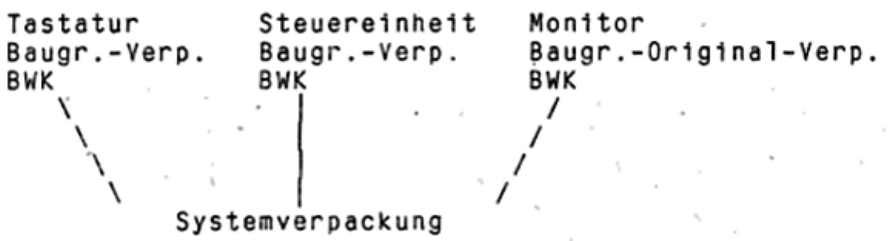
(siehe Software Dokumentation "Anleitung für den Bediener")

10. Kennzeichnung und Plombierung

Die Kennzeichnung ist entsprechend ST RGW 1361-78 und ST RGW 3185-81 am Gerät sowie ST RGW 258-80 an der Verpackung vorhanden.

11. Masse und Art der Verpackung

Für die einzelnen Baugruppen wurde eine Transportverpackung entwickelt, die den Belastungen im TUL-Prozess mittels Kleintransporter und bei Selbstabholung gerecht wird. Dabei wird davon ausgegangen, dass die dazugehörige Transportverpackung wiederverwendet wird. Zur Realisierung der Traktionsarten Eisenbahn, LKW und Schiff nach TGL 26465 wird für die verschiedenartigen Systemvarianten eine Reihe von Systemverpackungen auf der Basis von Sperrholzrahmenkisten eingeführt. Entsprechend der gesetzlichen Vorschriften sind diese einschliesslich der Innenverpackung in der DDR zurückführungspflichtig.



Mindestfestigkeiten sind durch die Baugruppen bzw.das Gerät entsprechend TGL 26465 bzw. KROS 282/03 garantiert.Für den Drucker wird ebenfalls Originalverpackung benutzt.

III. Wartungsvorschrift

Die Wartungshinweise sind in den Technischen Beschreibungen der Baugruppen enthalten.

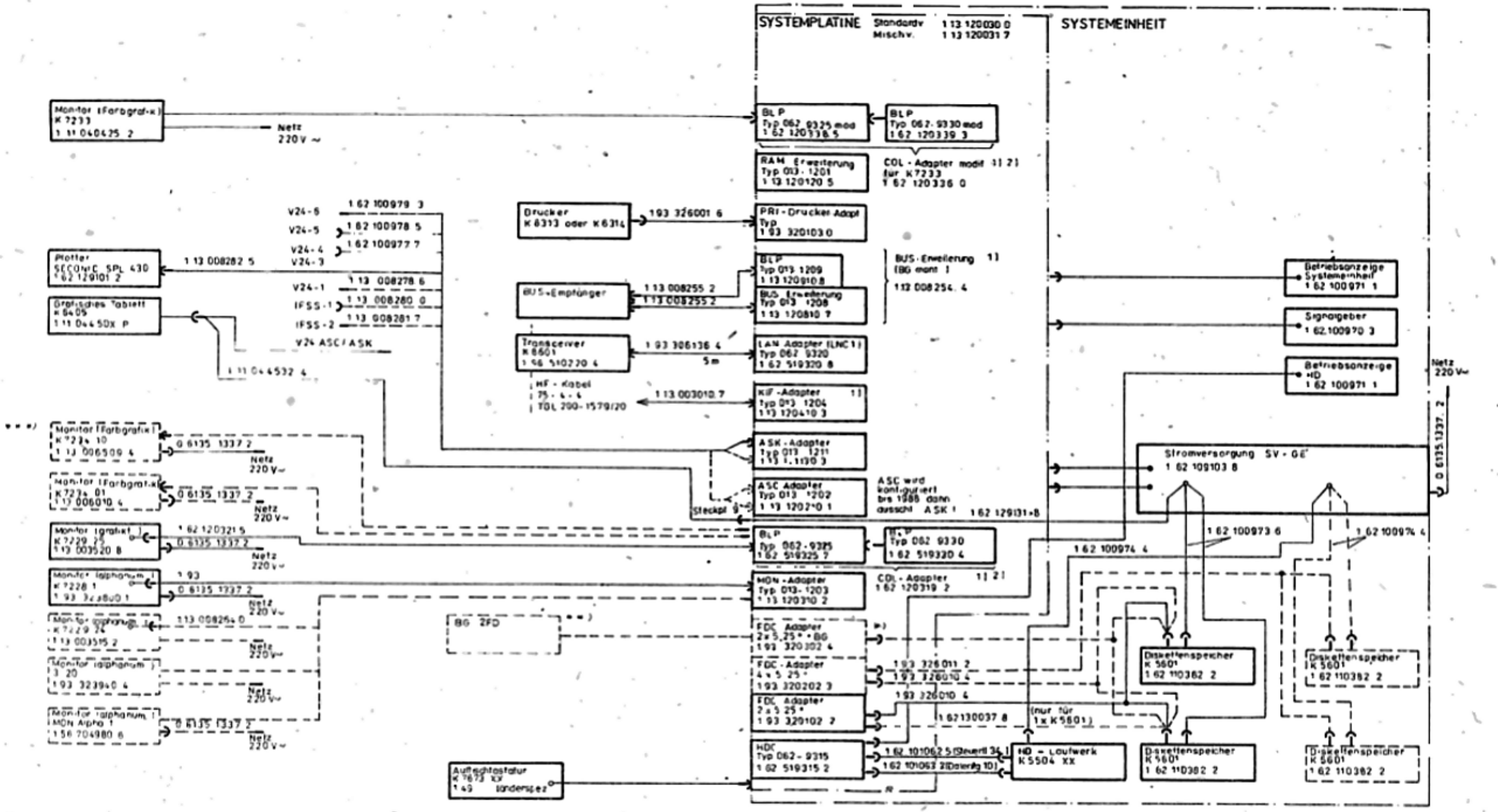
VI. Verzeichnis der Ersatzteile, Werkzeuge und Zubehörteile

1. Ersatzteilliste

(Siehe "Ersatzteilkatalog")

2. Zubehörteile

- Netzkabel
- Systemdisketten (entsprechend Konfiguration)
- Staubschutzhaube



*) Ausstattungsvarianten
ev. weiter Speicher
1 x FD + HD oder
2 x FD oder
2 x FD + HD oder
4 x FD

**) Anschluß für externe Speicher außerhalb der Systemeinheit

***) Ausstattungsvarianten MON
1 x alphanum MON
oder
1 x alphanum MON + 1 x grafikf. MON
oder
1 x grafikf. MON

1) Steckeinheit benötigt 2 Steckplätze

2) nur alternativ steckbar

Personal-Computer EC 1834

Gruppenverbindungsplan

1. 62.006002.4 /17

Technische Beschreibung

B u s r i c h t l i n i e (Auszüge)
Personalcomputer robotron EC 1834

Inhaltsverzeichnis

1. Allgemeine Grundlagen
2. Signalbeschreibungen
3. Signalpegel
4. Mechanische Bedingungen
5. Steckverbinderbelegungen
5.1. Steckverbinder 96-polig indirekt
5.2. Steckverbinder 62-polig direkt

1.62.540121.7 (GER)
085-3-000
852.53.01.004

Stand: 03/88

1. Allgemeine Grundlagen

Der BUS des PC EC 1834 wird durch Signalleitungen und Leitungen zur Stromversorgung der Adapter gebildet. Bezeichnet wird dieser als Systembus.
Er realisiert die Verbindung zwischen Systemplatine und den maximal acht Adaptern (Speichererweiterung, E/A-Adapter, BUS-Verlängerung) und steuert den Informationsaustausch zwischen diesen. Er ist geeignet zur Durchführung CPU- und DMA- gesteuerter Operationen.

2. Signalbeschreibungen

Die Signale des Systembusses gliedern sich in folgende Signalgruppen:

Leitungsgruppe	Anz. Ltgen	Bezeichnung
Datenbus	16	D15-D0
Adressbus	20	A19-A0
Steuerbus		
- DMA-u. REFRESH-Steuerung	11	DRQ0-3, /DACK0-3, AEN, TC
- Zugriffssteuerung	9	/IOR, /IOW, /MEMR, /MEMW, /MEMCS16, /BHE, ALE, /IOCHCK, IOCHRDY
- Interrupt	11	IRQ9-12, IRQ14,15, IR03-7
- Rücksetzen	1	RESETDRV
Takt	2	CLK, OSC
Stromversorgung	8	N00, N5P, N5N, N12P, N12N

Bedeutung der einzelnen Signale:

Signal	E/A (bezogen auf Systemplatine)	Beschreibung
OSC	A	Oszillatortakt: Hochgeschwindigkeitstakt mit einer Zykluszeit von 68 ns (14,7456 MHz) Tastverhältnis 1:1
CLK	A	Systemtakt: Er entsteht durch Division des Oszillatortaktes durch drei und hat eine Zykluszeit von 203 ns (4,9152 MHz); Tastverhältnis 1:2
RESETDRV	A	Systemrücksetzen: HIGH- aktiv, Rücksetzen der Systemlogik nach Netz-Einschalten oder während eines Netzspannungsabfalls, synchron zum Taktsignal
A19-A0	E/A	Adressbits 19-0: HIGH-aktiv, dienen der Adressierung der systeminternen Speicher- und E/A-Einheiten, werden vom Prozessor oder der DMA-Einheit geliefert
D15-D0	E/A	Datenbits 15-0: HIGH-aktiv, Datenbus für Prozessor, Speicher und E/A-Einheiten

Signal	E/A (bezogen auf Systemplatine)	Beschreibung
ALE	A	Adressenverriegelung: HIGH-aktiv, dient der Übernahme gültiger Adressen in Adresslatch und der Verriegelung dieser mit H/L-Flanke, mit AEN verwendet dient es als Hinweis für gültige Prozessoradressen
/IOCHCK	E	E/A-Kanal Fehler: LOW-aktiv, Anzeige eines Paritätsfehlers in Speicher oder E/A-Einheit bzw. Auswahl verbotener E/A-Adressen
IOCHRDY	E	E/A-Kanal bereit: HIGH-aktiv, im Normalfall HIGH; durch Speicher oder E/A-Einheiten auf LOW gesetzt wird die Verlängerung der BUS-Zyklen um weitere Taktzyklen (203 ns) erreicht; darf nicht länger als 10 Taktzyklen auf LOW gesetzt sein, um REFRESH-Vorgang nicht zu unterdrücken
IRQ9-12, IRQ14,15, IRQ3-7	E	Interruptanforderung 9-12, 14, 15, 3-7: HIGH-aktiv; signalisiert dem Prozessor, dass eine E/A-Einheit einen Eingriff fordert, mit L/H-Flanke wird Interrupt ausgelöst, Signale bleiben bis zur Quittung durch Prozessor aktiv Prioritätsreihenfolge: IRQ9 - höchste IRQ10 IRQ11 IRQ12 IRQ14 IRQ15 IRQ3 IRQ4 IRQ5 IRQ6 IRQ7 - niedrigste
/IOR	E/A	E/A-Lesebefehl: LOW-aktiv, ausgelöst durch Prozessor bzw. DMA-Einheit, Anweisung an E/A-Einheit, Daten auf Datenbus bereitzustellen
/IOW	E/A	E/A-Schreibbefehl: LOW-aktiv, ausgelöst durch Prozessor bzw. DMA-Einheit, Anweisung an DMA-Einheit, Daten vom Datenbus zu übernehmen
/MEMR	E/A	Speicher-Lesebefehl: LOW-aktiv, ausgelöst durch Prozessor bzw. DMA-Einheit, Anweisung an Speicher, Daten auf Datenbus bereitzustellen
/MEMW	E/A	Speicher-Schreibbefehl: LOW-aktiv, ausgelöst durch Prozessor bzw. DMA-Einheit, Anweisung an Speicher, Daten vom Datenbus zu übernehmen

Signal	E/A (bezogen auf Systemplatine)	Beschreibung
DRQ1-3	E	DMA-Anforderung: HIGH-aktiv, Anforderung von Peripherie-Geräten, um Zugriff zu DMA-Funktionen zu erlangen; Signal muss so lange aktiv sein, bis Anforderung mittels DACK-Leitung quittiert wird DRQ1 - höchste Priorität DRQ2 - niedrigste Priorität
/DACK1-3	A	DMA-Antwort: LOW-aktiv, dienen zur Quittierung der DMA-Anforderungen 1-3
DRQ0	A	DMA-Anforderung: HIGH-aktiv, REFRESH-Anforderung vom Timer an DMA-Controller, aller 15 us aktiv
/DACK0	A	DMA-Antwort: LOW-aktiv, REFRESH-Kennzeichen, dient für REFRESH des dynamischen Speichers
AEN	A	Adress-Freigabe: HIGH-aktiv, Anzeige dass DMA-Steuerung Kontrolle über Adress-, Daten- und Steuerbus erlangt hat
TC	A	Ende-Zähler: HIGH-aktiv, wird Endezählerstand eines beliebigen DMA-Kanals erreicht, liefert Signal HIGH-Impuls
/BHE	E/A	BUS HIGH-Freigabe: LOW-aktiv, zeigt an, dass auf höherwertigen Datenbits 15-8 gültige Daten übertragen werden (bei 16-bit-Operation)
/MEMCS16	E	16-bit-Speicherauswahl: LOW-aktiv, signalisiert der Systemplatine, dass die adressierte Speichereinrichtung mit 16-bit-Zugriffen betrieben werden kann
N 5P		+5V±0,25V, Versorgungsspannung ungestützt
N 5N		-5V±0,25V, Versorgungsspannung ungestützt
N 12P		+12V±0,6V, Versorgungsspannung ungestützt
N 12N		-12V±1,2V, Versorgungsspannung ungestützt
N 00		Zentrales Bezugspotential (Masse)

3. Signalpegel

Für alle logischen Bussignale müssen Sender bzw. Empfänger folgende Pegel bereitstellen bzw. verarbeiten:

	HIGH	LOW
Sender	2,4 ... 5,25 V	0 ... 0,45 V
Empfänger	2,0 ... 5,25 V	-0,5 ... 0,8 V

4. Mechanische Bedingungen

Der Systembus ist auf der Systemplatine/MLL in Form gedruckter Leiterzüge realisiert. Er verbindet die acht Steckverbinder, welche zur Aufnahme der entsprechenden Adapter dienen.
Die Steckverbinder sind in einem Abstand von 20,32 mm bestückt.
Verwendet werden die Steckverbinder 96-polig nach EBS-GO 4007 (DIN 41612) Bauform R. Auf der Systemplatine befindet sich die Steckerleiste, auf den Adaptern die Buchsenleiste.
Zur Nutzung von international im Angebot befindlichen Adapterplatten mit direkten Steckverbindern wird in Sonderfällen die Systemplatine mit folgender Bestückung ausgeliefert:

- zwei Steckplätze mit direkten Steckverbindern 62-polig nach DIN ....
- fünf Steckplätze mit indirekten Steckverbindern.

Die Adapter sind in beliebiger Reihenfolge in den Steckverbindern steckbar. Ausnahme bildet der Steckverbinderplatz 8 (nahe der SVE); er ist reserviert für spezielle Anwendungsfälle. Der Steckverbinderplatz 8 ist in Varianten mit BUS-Verlängerung für den BUS-Erweiterungsadapter vorgesehen, welcher mit einem Kabel von max. 1m Länge die Möglichkeit bietet, den Systembus zu verlängern.
Die Grösse der Adapterleiterplatten sind 100 mm x 360/300/240/172,5 mm.
Die max. Bauhöhe auf den Adaptern beträgt 13,5 mm.
Auf jedem Adapter ist gewährleistet, dass alle Betriebsspannungen (auch nicht genutzte) gegen Masse mit Entstörkondensatoren 47 uF und 0,1 uF abgeblockt sind.
Die Strombelastbarkeit pro Adapter bei N 5P lässt max. 3,4 A zu. In der Summe aller acht Adapter können bei N 5P = 14 A, bei N 12P = 2 A, bei N 5N = 0,3 A und bei N 12N = 0,25 A verbraucht werden.

5. Steckverbinderbelegungen

5.1. Steckverbinder 96-polig indirekt

Rückwand der Systemeinheit

	A		B		C
N 00	*	1	*		* /IOCHCK
RESETDRV	*		*	D8	* D7
N 5P	*		*	D9	* D6
IRQ9	*		*	D10	* D5
N 5N	*	5	*	D11	* D4
DRQ2	*		*	D12	* D3
N 12N	*		*	D13	* D2
	*		*	D14	* D1
N 12P	*		*	D15	* D0
N 00	*	10	*		* IOCHRDY
/MEMW	*		*		* AEN
/MEMR	*		*		* A19
/IOW	*		*		* A18
/IOR	*		*		* A17
/DACK3	*	15	*		* A16
DRQ3	*		*		* A15
/DACK1	*		*		* A14
DRQ1	*		*		* A13
/DACK0	*		*	DRQ0	* A12
CLK	*	20	*		* A11
IRQ7	*		*	IRQ10	* A10
IRQ6	*		*	IRQ11	* A9
IRQ5	*		*	IRQ12	* A8
IRQ4	*		*	IRQ15	* A7
IRQ3	*	25	*	IRQ14	* A6
/DACK2	*		*	/MASTER	* A5
TC	*		*		* A4
ALE	*		*		* A3
N 5P	*		*		* A2
OSC	*	30	*	N 5P	* A1
N 00	*		*		* A0
N 00	*	32	*	/MEMCS16	* /BHE

5.2. Steckverbinder 62-polig direkt

Rückwand der Systemeinheit

B			A
N 00	*	1	* /IOCHCK
RESETDRV	*		* D7
N 5P	*		* D6
IRQ9	*		* D5
N 5N	*	5	* D4
DRQ2	*		* D3
N 12N	*		* D2
	*		* D1
N 12P	*		* D0
N 00	*	10	* IOCHRDY
/MEMW	*		* AEN
/MEMR	*		* A19
/IOW	*		* A18
/IOR	*		* A17
/DACK3	*	15	* A16
DRQ3	*		* A15
/DACK1	*		* A14
DRQ1	*		* A13
/DACK0	*		* A12
CLK	*	20	* A11
IRQ7	*		* A10
IRQ6	*		* A9
IRQ5	*		* A8
IRQ4	*		* A7
IRQ3	*	25	* A6
/DACK2	*		* A5
TC	*		* A4
ALE	*		* A3
N 5P	*		* A2
OSC	*	30	* A1
N 00	*		* A0

Technische Beschreibung

S y s t e m p l a t i n e (Typ 013-1200)
Personalcomputer robotron EC 1834

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Allgemeine Übersicht
4.2. Adressen-Zuordnung
4.2.1. Speicher-Einteilung
4.2.2. E/A-Adressenbereiche (Gesamtsystem)
4.2.3. E/A-Adressenbereiche (Systemplatine)
4.3. Takterzeugung
4.4. Mikroprozessor/Co-Prozessor
4.5. Systemzeitgeber
4.6. Paralleles Peripheres Interface
4.7. System-Unterbrechungen
4.8. ROM-Speicher
4.9. RAM-Speicher
4.10. E/A-Adressierung
4.11. DMA-Einrichtung
4.12. Byte-Swap-Logik
4.12.1. Anwendungszweck
4.12.2. Wortzugriff auf Speicher mit 8 Bit-Datenbus
4.12.2.1. Speicher Schreiben
4.12.2.2. Speicher Lesen
4.12.3. E/A-Zugriff auf Tor mit ungerader Adresse
4.12.4. DMA-Zugriff auf ungerade Speicheradresse
4.13 NMI-Register
4.14. Tastatur-Anschluss
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift
7. Wartungsvorschrift

1.62.540131.3 (GER)
085-3-000
851.53.01.001

Stand: 03/88

1. Verwendung und Einordnung

Die Systemplatine ist die zentrale Baugruppe des Personalcomputers EC1834. Sie enthält alle zur Steuerung des Gerätes notwendigen Funktionsgruppen.
Die Steuerung des Gesamtsystems übernimmt der Mikroprozessor mit Hilfe einer Anzahl von hochintegrierten Peripherie-Schaltkreisen. Als Arbeitsspeicher sind auf der Systemplatine 256 KByte RAM integriert. Die CPU hat die Möglichkeit, 1 MByte Speicher zu adressieren, jedoch ist nur der Einsatz von max. 640 KByte als Vordergrundspeicher sinnvoll, bedingt durch die Speicherverwaltung von DCP.
Verwendung findet der Mikroprozessor KR 1810 WM 86 (analog i8086) mit 16-Bit-Datenbus und 20-Bit-Adressbus im Zeitmultiplexbetrieb, der Wortzugriff auf den Speicher ermöglicht. Die Arbeit mit der Peripherie erfolgt im Byte-Zugriff.
Der Co-Prozessor KR 1810 WM 87 (analog i8087) entlastet die CPU von arithmetischen Operationen (Option).
Acht Steckplätze bieten die Möglichkeit, Peripheriebaugruppen über Adapter anzuschliessen bzw. den Speicher mit 384 KByte-Steckkarten als Vordergrund- oder als Hintergrundspeicher zu erweitern.
Auf der Systemplatine befinden sich weiterhin Steckverbinder für den Anschluss der Tastatur sowie für den Tongeber.

2. Technische Daten

Leiterplatte	240 mm x 360 mm MLL
Steckverbinder	X4,X5,X6 Steckerleiste 2-pol. 202/1 TGL 55055
	X7 Buchsenleiste 9-pol. 201-9 EBS-GO 4006/01-2-V GK2 LP abgewinkelt
	X1.1...X1.8 Steckerleiste 96-pol. 332 EBS-GO 4007
Betriebsspannungen	5P (+5V ±5%) 12P (+12V ±5%)

Mikroprozessor, Coprozessor als Option

Datenbus	16 Bit
Adressbus	20 Bit
Taktfrequenz	4,9152 MHz
Speicheradressraum	1 MByte
E/A-Adressraum	64 KByte

15 priorisierte Interrupt-Niveaus

Operativspeicher	256 KByte dRAM mit Paritätskontrolle erweiterbar auf 640 KByte
Festwertspeicher	32 KByte

Bauelementebasis

		analog
Mikroprozessor	KR 1810 WM 86-5 MHz	i8086
Arithmetischer Coprozessor	KR 1810 WM 87	i8087
Progr. Interrupt-Controller	KR 580 WN 59A	i8259A
Taktgenerator	KR 1810 GF 84	i8284A
Bus-Controller	KR 580 WG 88	i8288
Programmierbares Peripheres Interface (PPI)	KR 580 WW 55A	i8255A
Programmierbarer Intervall-Timer	KR 580 WI 53	i8253
DMA-Controller	KR 580 IK 57	i8257
64 K x 1bit dRAM	U 2164 C20	
8 K x 8 EPROM	U 2764 CC25	
- EMR für Tastaturinterface	UC 8821 M	
- 2 K x 8 EPROM für EMR	U 2716 C39	

Ergänzungsschaltkreise der Serien STTL und LSTTL

3. Konstruktiver Aufbau

Die Systemplatine ist eine Mehrlagenleiterplatte mit 4 Informationsebenen, Masse- und Stromversorgungsebene der Grösse 240 mm x 360 mm und ist waagerecht in der Systemeinheit montiert. Sie besitzt drei Steckverbinder für den Tastaturanschluss (X7), den Tongeber (X4), die Betriebsspannungsanzeige und acht Steckverbinder X1.1 bis X1.8 für den Anschluss von 8 externen E/A-Einrichtungen mit Speichern über spezielle Adapter (z. B. Monitor für alphanumerische Darstellung, Farb-/Grafikadapter, Floppy Disk, Hard Disk, serielle Schnittstellen).
Die Gerätekonfiguration (Speicherausstattung, Typ des Monitors, Anzahl der Floppy Disk ist am DIL-Schalter S1 einstellbar.

4. Funktionsbeschreibung

4.1. Allgemeine Übersicht

Die Steuerung erfolgt mit einem Mikroprozessor des Typs K 1810 WM 86 (analog i8086), der eine Datenwegbreite von 16 Bit besitzt und einen Speicheradressbereich von 1 MByte ermöglicht. Der Prozessor wird im Maximum-Modus betrieben, so dass als Zusatzeinrichtung ein Coprozessor des Typs K 1810 WM 87 (analog i8087) eingesetzt werden kann (Steckfassung ist vorhanden). Der Prozessor arbeitet mit 4,915 MHz; diese Frequenz wird von einem Quarz der Frequenz 14,7456 MHz mittels Teilung

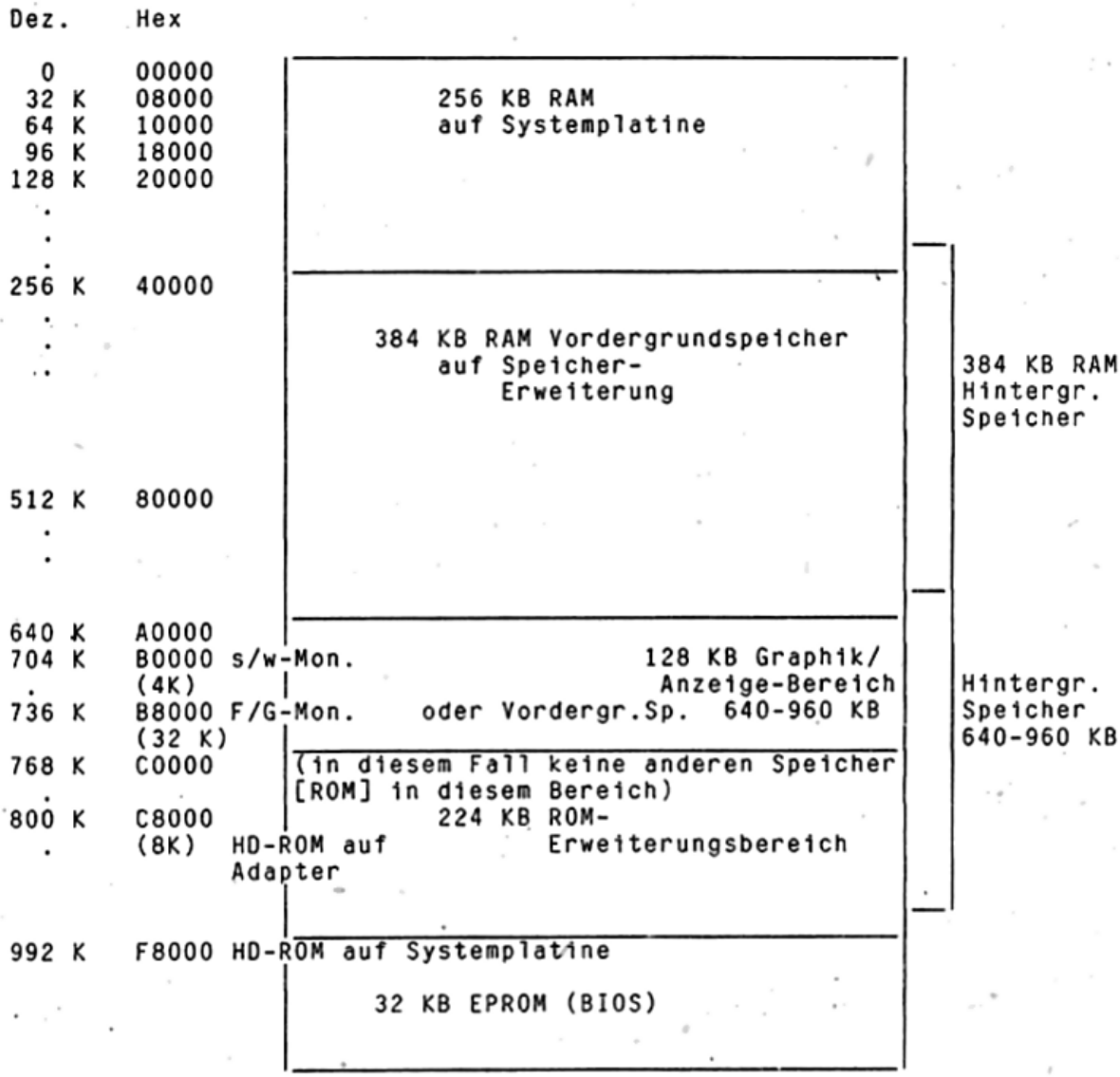
durch 3 gewonnen. Aus der Quarzfrequenz lassen sich die üblichen Baudraten der Übertragungseinrichtungen durch einfache Teilung ableiten. Bus-Zyklen bei Speicheroperationen dauern vier Taktzyklen von 203,5 ns, d.h. 814 ns. Dem gegenüber dauern E/A-Buszyklen generell fünf Taktzyklen, d. h. 1,017 us.

Der Prozessor wird durch einige LSI-Ergänzungsschaltkreise unterstützt, die vier 20-Bit DMA-Kanäle, drei 16-Bit Zeitgeber-Kanäle und 15 priorisierte Interrupt-Niveaus realisieren.
Drei der vier DMA-Kanäle stehen auf dem Systembus zur Verfügung und können für schnelle Datenübertragungen zwischen E/A-Einrichtungen und dem Speicher ohne Prozessoreingriffe verwendet werden. Der vierte DMA-Kanal wird für das Refreshen der dynamischen Speicher sowohl auf der Systemplatine als auch auf Speichererweiterungs-Adaptern verwendet. Dazu wird ein Zeigeberkanal so programmiert, dass er periodisch einen DMA-Zyklus anfordert. Mit dem dadurch ausgelösten Speicher-Lesezyklus wird ein Refreshen aller dynamischen RAM-Schaltkreise bewirkt.
Alle DMA-Übertragungen dauern 8 Prozessor-Taktzyklen bzw. 1,62 us (falls die Ready-Leitung nicht deaktiviert wird).
Die drei Zeitgeberkanäle werden folgendermassen benutzt: Kanal 1 für die periodische Anforderung von Refresh-Zyklen, Kanal 2 für die Tonerzeugung mittels des Tongebers und Kanal 0 als Konstant-Zeitbasis für den Systemzeitgeber.

Von den 15 priorisierten Interrupt-Niveaus stehen 11 auf dem Systembus für die Verwendung durch Adapterkarten zur Verfügung.
Drei Interrupt-Niveaus werden auf der Systemplatine verwendet. Das Niveau 0 mit der höchsten Priorität ist mit dem Zeitgeberkanal 1 verbunden und erzeugt eine periodische Unterbrechung. Das Niveau 1 ist mit der Tastatursteuerung verbunden und erzeugt bei Empfang jedes Scan-Codes von der Tastatur eine Unterbrechung.
Die nichtmaskierbare Unterbrechung (NMI) des Prozessors wird für die Behandlung von Paritätsfehlern, die Zusammenarbeit mit dem Co-Prozessor sowie für die virtuelle I/O-Adressierung genutzt.
Die Systemplatine enthält RAM-und ROM- bzw. EPROM-Komplexe. Die RAM-Ausstattung beträgt 256 KByte mit Paritätskontrolle, die ROM-Ausstattung 32 KByte ohne Paritätsprüfung.
Der ROM-Bereich enthält den Anfangstest nach Rücksetzen, einen Disketten-Bootstrap-Lader sowie das ROM-BIOS.
Die Startadresse der CPU nach Rücksetzen liegt ebenfalls im ROM. Der Programm-Anlauf beginnt ab der Adresse FFFF0h.

4.2. Adressen-Zuordnung

4.2.1. Speicher-Einteilung



4.2.2. E/A-Adressenbereiche (Gesamtsystem)

Hex. Adresse	Einrichtung	
000 - 01F	DMA-Controller	systemplatinen-intern
020 - 03F	Interrupt-Controller (1)	
040 - 05F	Timer-Schaltkreis	
060 - 07F	PPI	
080 - 09F	DMA-Seitenregister	
0A0 - 0BF	NMI-Register	
0C0 - 0DF	Interrupt-Controller (2)	
0E0 - 0FF	reserviert	
1B0 - 1BF	KIF-Adapter	
1E8 - 1EF	Bank-Wechsel (RAM-Erweiterung)	
210 - 21F	Erweiterungs-Einheit (Bus-Verlängerung)	
278 - 27F	Parallel-Port 2 (Drucker)	
2B0 - 2BF	Monitor-Adapter	
2E0 - 2EB	Serielles Port 2	
2F8 - 2FF	Verbotener Adressenbereich (SP2)	
320 - 32F	Festplatten-Adapter	
378 - 37F	Parallel-Port 1 (Drucker)	
380 - 38F	Verbotener Adressenbereich (SP1)	
3A0 - 3AF	" " (SP1)	
3B0 - 3BF	" " (MON)	
3D0 - 3DF	Farb-/Graphik-Adapter	
3E0 - 3EB	Serielles Port 1	
3F0 - 3F7	Disketten-Adapter	
3F8 - 3FF	Verbotener Adressenbereich (SP1)	

Wird durch einen E/A-Schreib- oder Lesebefehl eine Adresse der verbotenen Adressenbereiche angesprochen, so wird mittels IOCHCK = 0 ein NMI ausgelöst, falls der jeweils zugeordnete Adapter vorhanden ist (SP1, SP2 - Serielles Port 1 bzw. 2; MON - Monitoradapter).
Die angesprochene E/A-Adresse kann anschliessend über 080 und 081 gelesen werden.

4.2.3. E/A-Adressenbereiche (Systemplatine)

Hex. Adr.	R	W	Datenbus D7...D0
00	x	x	CH-0 DMA Address: A7 bis A0 if F/L = 0 A15 bis A8 if F/L = 1
01	x	x	Terminal Count : C7 bis C0 if F/L = 0 Rd,Wr,C13 bis C8 if F/L = 1
02 . .			analog für CH-1 bis CH-3 DMA
07			
08		x	MODE SET : AL TCS EW RP EN3 EN2 EN1 EN0
08	x		STATUS 0 0 0 UP TC3 TC2 TC1 TC0
20		x	Write ICW 1 (X'13' - EDGE, CASCADE, ICW4) Ini-
21		x	Write ICW 2 (X'08' - INT.ADDR 8) tiali-
21		x	Write ICW 3 (X'04' - IRQ2 SLAVE) sierung
21		x	Write ICW 4 (X'09' - BUFFRD, 8086 MODE)
21		x	Write OCW 1
20		x	Write OCW 2 PIC1
20		x	Write OCW 3
40		x	Load Counter 0
41		x	" " 1
42		x	" " 2
43		x	Write Mode Word (SC1,SC0,RL1,RL0,M2,M1,M0,BCD)
40	x		Read Counter 0
41	x		" " 1 PIT
42	x		" " 2
43	x		No Operation
60	x		Tastencode oder S1
61		x	Steuerbits PPI
62	x		Statusbits
63		x	Write CMD/MODE-Register (X'99')
81		x	Write DMA Page Register CH-2 (0,0,0,0,A19,A18,A17, A16)
82		x	" " " " CH-3
83		x	" " " " CH-1
80	x		Read NMI Address: A7 bis A0
81	x		Read NMI Address: 0, 0, 0, IOW, IOR, BHE, A9, A8
A0		x	Set NMI Mask (X'80')
A0		x	Clear NMI Mask (X'00')
C0		x	Write ICW1, OCW2 bzw. OCW3)
C1		x	Write ICW2, ICW3 (X'02' SLAVE ID)) siehe 20, 22 ICW4 bzw. OCW1 PIC2

4.3. Takterzeugung

Zur Takterzeugung wird der Taktgenerator 8284A [D43] eingesetzt. Dieser Schaltkreis erfüllt drei Funktionen:
- Erzeugung des Systemtaktes und zweier weiterer Takte
- taktbezogene Bildung von RESET nach Einschalten
- taktbezogene Bildung von READY für die CPU

Der Taktgenerator bildet folgende Takte:
- CLK = 4,9152 MHz = 203 ns als Systemtakt
- PCLK = 2,45 MHz = 406 ns (intern)
- OSC = 14,7456 MHz= 68 ns (Quarzfrequenz)

CLK und OSC sind auf den BUS geführt, PCLK wird nur intern genutzt. Am RDY- und AEN-Eingang des Taktgenerators kann die CPU von der Peripherie in den WAIT-Zustand gesteuert werden. Dies wird während des DMA-Betriebes genutzt, und auch langsame Speicher und E/A-Einrichtungen schalten die CPU in den WAIT-Zustand.

4.4. Mikroprozessor/Co-Prozessor

Als Mikroprozessor findet die CPU 8086 [D20] Verwendung. Sie besitzt einen gemeinsamen Adress- und Datenbus mit 16 Daten- und 20 Adressleitungen, die über Latch-Register bzw. Treiber geführt werden [D2, D25, D26 für Adressbus; D 21, D23 für Datenbus].
Die CPU arbeitet im Maximum-Mode (MN/MX=LOW) und kann mit dem Arithmetik-Prozessor 8087 zusammenarbeiten. Beide Prozessoren sind dann über die Signale /TEST-/BUSY miteinander verbunden.
Die Steuerung der Bus-Signale übernimmt der Bus-Controller 8288 [D4]. Er decodiert die Statussignale des Prozessors und leitet daraus die Steuersignale für die Adress-Latch-Register sowie die Datenbus-Treiber ab. Weiterhin übernimmt er die Steuerung der Interrupt-Bestätigung und bildet die Signale Speicher lesen (/MEMR), Speicher schreiben (/MEMW), E/A-Tor lesen (/IOR) und E/A-Tor schreiben (/IOW).

4.5. System-Zeitgeber

Die Systemplatine des EC1834 enthält drei programmierbare Zeitgeber, die mit einem Timer-Schaltkreis 8253 [D53] realisiert sind. Für die Systemprogramme ist dieser Timer-Schaltkreis eine Einrichtung mit 4 E/A-Ports; drei E/A-Ports sind die Zeitgeberwerte und der vierte (Ausgabe-) Port ist das Register zur Modus-Steuerung. Die drei Zeitgeberkanäle werden im PC EC1834 folgendermassen verwendet:

Kanal 0 - Allgemeiner System-Zeitgeber
GATE 0 : 1
CLK IN 0 : 1,23 MHz
CLK OUT 0 : IRQ0 für Interrupt-Controller

Kanal 1 - Generator für Refresh-Anforderungen
GATE 1 : 1
CLK IN 1 : 1,23 MHz
CLK OUT 1 : 15 us Signal als Anforderung

Kanal 2 - Tongenerator für Tongeber
GATE 2 : Bit 0 von Port X'61' PPI
CLK IN 2 : 1,23 MHz
CLK OUT 2 : Ansteuerung Tongeber

Der TIMER-Schaltkreis wird mit der halben Frequenz von PCLK, also 1,23 MHz, getaktet.
Kanal 0 als allgemeiner System-Zeitgeber löst nach jeweils 100 ms einen Interrupt ÜberIRQ0 zur Einstellung der Systemzeit aus. Kanal 1 dient zur Refresh-Anforderung für die dynamischen Speicher und bildet nach jeweils 15 us das Signal DRQ0 für den DMA-Schaltkreis, welches der Beginn eines Refresh-Zyklusses ist.
Mit Kanal 2 wird der Tongeber angesteuert. Die Impulsfolge für den Tongeber kann ausserdem noch vom PPI Über den Eingang GATE2 des TIMER-Schaltkreises beeinflusst werden.

4.6. Paralleles Peripheres Interface

Der Schaltkreis 8255A [D54] ist ein paralleler Port mit drei Kanälen und dient der Abfrage bestimmter Zustände und der Ausgabe von Steuersignalen auf der Systemplatine. Die Kanäle können einzeln wahlweise auf Ein- oder Ausgabe programmiert werden. Kanal A ist auf Eingabe programmiert und fragt den Konfigurationsschalter S1 ab, Kanal B ist auf Ausgabe und Kanal C auf Eingabe programmiert. An Kanal B und C sind Steuersignale aktiv.
Die Belegung der PPI-Bits zeigt folgende Tabelle:

X'0060' (Eingabe)	PA 0	IPL von Diskette	)
	1	Coprozessor installiert	)
	2	RAM) Ausstattung	)
	3	RAM)	) Schal-
	4	Display-Typ 1	) ter S1
	5	" " 2	)
	6	) Anzahl der	)
	7	) Diskettenlaufwerke	)
X'0061' (Ausgabe)	PB 0	Steuerung Zeitgeber-Kanal 2 (GATE 2)	
	1	Steuerung Tongeber	
	2	P20 des EMR (UC 8821M)	
	3		
	4	- Enable RAM PCK	
	5	- Enable I/O CH CK	
	6	P32 des EMR (UC 8821M)	
	7	P33 des EMR (")	
X'0062' (Eingabe)	PC 0	-	
	1	-	
	2	-	
	3	-	
	4	P34 des EMR (UC 8821M)	
	5	Zeitgeber 2 (CLK OUT 2)	
	6	I/OCHCK	
	7	PCK	

PA2	PA3	RAM-Ausstattung
0	0	256 K

PA4	PA5	Display-Typ
0	0	reserviert
1	0	-
0	1	Farbmonitor 80x25 (s/w-Modus)
1	1	s/w-Monitor

PA6	PA7	Anzahl Disketten-Laufwerke
0	0	1
0	1	2
1	0	3
1	1	4

4.7. System-Unterbrechungen

Mit dem NMI des Mikroprozessors und zwei Interrupt-Controller-Schaltkreisen 8259A [D48,D49] sind im PC EC1834 16 Unterbrechungsniveaus realisiert. Sie sind (in absteigender Priorität) folgendermassen zugeordnet:

NMI — RAM-Paritätsfehler (Systemplatine bzw. RAM-Erweiterung), verbotene E/A-Adressen oder wahlweise Coprozessor

Interrupt-Controller (8259A):

IRQ0	System-Zeitgeber	)
IRQ1	Tastatur	) systemplatinen-intern
IRQ2	Kaskadierung	)
IRQ8	DMA-Endezähler Refresh	)
IRQ9,10,11, 12,14,15		frei verfügbar
IRQ13	reserviert/wahlweise Coprozessor	
IRQ3	serieller Adapter 2 bzw. KIF-Adapter	
IRQ4	serieller Adapter 1	
IRQ5	Festplatten-Adapter	
IRQ6	Disketten-Adapter	
IRQ7	Drucker-Adapter	

Es sind vier unterschiedliche Quellen vorhanden, die einen NMI auslösen können. Alle Quellen werden auf den NMI-Eingang der CPU geführt. Beim Eintreten folgender Zustände wird ein NMI ausgelöst:

- Arithmetikprozessor (z.B. Division mit Null) - NPNPI
- Paritätsfehler des Systemplatinen-RAM -/PCK
- Paritätsfehler von Speichererweiterung oder Peripheriebaugruppen /IOCHCK
- virtuelle E/A-Adressierung - /IOCHCK

Durch den Einsatz von zwei Interrupt-Controllern ist es möglich, mit 15 maskierbaren Interrupt-Ebenen zu arbeiten. Die Kaskadierung von zwei Interrupt-Controllern erfolgt so, dass der INT-Ausgang des Slave an einen IRQ-Eingang (Interrupt-Request) des Masters geführt ist (IRQ2 an D49). Das INT-Signal des Masters bewirkt bei der CPU die Interrupt-Anforderung INTR.

Die Anerkennung des Interrupts wiederum übernimmt der Bus-Controller und bestimmt den Zeitpunkt, zu dem der den Interrupt auslösende Controller-Schaltkreis seinen Interrupt-Vektor auf den Datenbus legt.

4.8. ROM-Speicher

Der ROM-Speicher auf der Systemplatine besteht aus 2 (max.4) EPROM-Schaltkreisen 8 K x 8 Bit K 573 RF4 bzw. U 2764 C25 [D100,101,D115,116]. Er ist als 8 K x 16-Bit-Speicher realisiert; der Code für gerade bzw. ungerade Adressen befindet sich jeweils in unterschiedlichen Schaltkreisen.
Der Adressenbereich des ROM-Speichers befindet sich am Ende des gesamten 1 MByte CPU-Adressenbereichs ab Adresse F8000h. Es wird keine Paritätsprüfung ausgeführt, dafür erfolgt eine Prüfsummenbildung über alle vier Schaltkreise.
Die Decodierung einer Speicheradresse für den ROM übernimmt ein 8-fach-NAND [D5], das bei aktiven Adressleitungen A15...A19 das Signal /ROMADRSEL bildet. Damit wird ein 1-aus-8-Decoder SE05 [D66] freigegeben, der aus der Adressleitung A14 entweder die Speicherbank ab F8000h [D115,D100] (A14=LOW) oder ab FC000h [D116,D101] auswählt (A14=HIGH).

4.9. RAM-Speicher

Der RAM-Speicher auf der Systemplatine besteht aus 36 RAM-Schaltkreisen 64K X 1 Bit U 2164 C20. Er ermöglicht 16-Bit-Zugriffe durch die CPU. Organisationsmässig ist er als 128K x 16 Bit aufgebaut. Eine Paritätslogik ergänzt jedes Byte auf gerade Parität in einem zusätzlichen Speicherschaltkreis, die beim Lesen wieder geprüft wird. Im Fehlerfall wird ein NMI durch /PCK (/IOCHCK bei Speichererweiterung) ausgelöst.
Der Adressbereich des RAM auf der Systemplatine ist 00000h...3FFFFh. Die Speichererweiterung liegt im Bereich von 40000h...9FFFFh (Vordergrundspeicher).
Die Decodierung einer RAM-Speicheradresse erfolgt mittels eines 1-aus-8-Decoders [D65], der in Abhängigkeit vom Pegel der Adressleitung A17 eine Speicherbank von 128 KByte auswählt.

```
A17 = 0 -->  Adressbereich    0...128K -->  /RAS1
A17 = 1 -->  Adressbereich 128K...256K -->  /RAS0
```

Ein 128-KByte-Bereich wiederum ist in zwei Bänke zu je 64 KByte unterteilt, in denen sich bei 16-Bit-Zugriff jeweils L-Teil und H-Teil einer Adresse befinden, bei Byte-Zugriff in einer 64-K-Bank Bytes mit gerader Adresse und in der anderen 64K-Bank Bytes mit ungerader Adresse. Diese Zuordnung ist abhängig von den Signalen A0 und /BHE und kann folgender Tabelle entnommen werden:

A0	/BHE	CAS	
L	L	/CASL=L,/CASH=L	Wortzugriff
L	H	/CASL=L,/CASH=H	Bytezugriff auf gerade Adresse (D0...D7)
H	L	/CASL=H,/CASH=L	Bytezugriff auf ungerade Adresse (D8...D15)

Die Adressleitungen A1...A16 liegen über Adressmultiplexer SY57 [D85,86] an den Speicherschaltkreisen an. Mit /RAS=L, decodiert aus /MEMR oder /MEMW und Adresse, und ADRSEL=L werden die Adressleitungen A1...A8 an eine Bank von 128 KByte geschaltet. Das Signal Speicherzugriff (/MEMR oder /MEMW) wird über D-FF D58 geleitet und bildet um

zwei OSC-Takte verzögert das Signal ADRSEL=H, mit dem der Adressmultiplexer umgeschaltet wird und die Adressen A9...A16 an die ausgewählte Speicherbank legt. Nach nochmaliger Verzögerung über ein weiteres D-FF [D67/5] wird das durch A0 und /BHE ausgewählte CAS-Signal gebildet. Damit ist die vollständige Adresse an den ausgewählten Speicherbereich angelegt und kann durch die CPU oder den DMA gelesen oder beschrieben werden.
Zwei bidirektionale 8-Bit-Treiber [D111,112] für D0...D7 bzw. D8...D15 schalten den Datenbus in Abhängigkeit von /MEMR und werden ausgewählt durch /MEMADRSEL und A0 für gerade Adressen bei Bytezugriff bzw. L-Byte bei Wortzugriff und /BHE für ungerade Adressen bei Byte-Zugriff bzw. H-Byte bei Wortzugriff.
Die Paritätslogik besteht aus dem 9. Speicherschaltkreis einer jeden 64K-Bank sowie einem Paritätsdetektor SY80 [D114] für ungerade Adressen und einem Paritätsdetektor [D113] für gerade Adressen sowie der Logik zum Auswerten von Paritätsfehlern, die auf gerade Patität prüft. Bei auftretenden Paritätsfehlern beim Lesen wird das Signal /PCK=L gebildet, welches den NMI auslöst.

REFRESH:
Ein Refresh-Zyklus wird nach jeweils 15 us durch den TIMER-Schaltkreis über den DMA angefordert und in der Speichersteuerung mit DACK0=H eingeleitet. Mit /DACK0=L und /MEMR=L vom DMA werden beide RAS-Signale aktiv geschaltet [D70/3,6]. Die Bildung von ADRSEL und CAS wird durch Sperren des ersten Verzögerungs-FF's [D58/5] verhindert.
Der Adress-Multiplexer [D85,86] schaltet mit ADRSEL=L die Adressleitungen A1...A7 zum Speicher durch, A0 wird mit DACK0=H statt A8 an D68/6 durchgeschaltet und /RAS0, /RAS1=L aktivieren sämtliche Speicherschaltkreise. Somit werden mit jedem Refresh-Zyklus 256 Bit eines jeden Speicherschaltkreises "gelesen" und damit regeneriert. Nach einem DMA-Durchlauf mit 256 Zyklen ist der gesamte dynamische RAM-Speicher aufgefrischt.

4.10. E/A-Adressierung

Bei E/A-Schreib-/Lesezyklen erfolgt die Adressierung analog zur Speicheradressierung über die Adressbit A19-A0.
Da maximal nur 64 KByte E/A-Register adressiert werden können, liegt die jeweils gültige Adresse auf den Adressleitungen A15-A0. Die Adressleitungen A19-A16 sind standardmässig auf L-Pegel. Der PC EC 1834 lässt die Adressierung von maximal 1024 E/A-Adressen zu. Die ersten 258 E/A-Adressen werden für die Systemplatine reserviert, die restlichen 768 können auf Adaptern genutzt werden.

4.11. DMA-Einrichtung

Die Systemplatine enthält eine DMA-Einrichtung mit 4 DMA-Kanälen auf der Basis eines DMA-Controllers 8257. Der DMA-Kanal 0 (mit der höchsten Priorität) wird intern auf der Systemplatine verwendet, die drei DMA-Kanäle 1-3 stehen auf dem Systembus für die Verwendung durch Adapter zur Verfügung.

Es besteht folgende Zuordnung:

Kanal 0 - Refresh-Steuerung
Kanal 1 - KIF-Adapter
Kanal 2 - Floppy-Disk-Controller
Kanal 3 - Hard-Disk-Controller

Der DMA-Schaltkreis 8257 [D50] steuert den Datenaustausch zwischen Speicher und E/A-Geräten und umgekehrt. Von der Peripherie bzw. dem TIMER-Schaltkreis (bei Refresh) erhält der 8257 eine DMA-Anforderung, die er bei Erlangen der Busherrschaft von der CPU mit dem Signal DACK an die Peripherie bestätigt. Der DMA-Betrieb wird so lange aufrechterhalten, wie die DMA-Anforderung DRQ aktiv bleibt oder eine DMA-Anforderung an einen höherprioritierten Kanal gelangt. Nach jeder Byte-Übertragung wird die Speicheradresse um 1 erhöht.
Der DMA operiert mit 16-Bit-Adressen und kann daher nur innerhalb eines 64 KByte-Adressraumes DMA-Zyklen ausführen. Die Page (64 KByte-Seite) muss deshalb in einem gesonderten Register durch die CPU bereitgestellt werden.
Die maximale Länge eines DMA-Durchlaufes kann 16 KByte betragen. Den Zählwert enthält ein 14 Bit-Register des DMA, der bei Nulldurchlauf des Zählers das Signal TC (Terminal Count) an die Peripherie sendet und damit die Beendigung eines DMA-Zyklusses signalisiert.
Die Page-Register [D6,D28,D29] sind 4 Bit-Schieberegister, die jeweils für einen externen DMA-Kanal die Adressen A16...A19 bereitstellen. Sie werden durch die CPU mittels OUT-Befehl 80...83 eingestellt. Nach der DMA-Anforderung (DRQ0...DRQ3) sendet der 8257 HRQDMA zur Erlangung der Busherrschaft. Eine Überwachungsschaltung [D3/8] beobachtet die Statusleitungen des Prozessors und setzt bei Eintritt der CPU in den Status "Unterbrechungsannahme" (/S0.../S2=H) ein D-FF [D38/9]. Mit dem nächsten Takt CLK86 wird ein weiteres D-FF gesetzt [D51/5], welches das Signal HOLDA als Bestätigung für die Erlangung der Busherrschaft an den DMA-Schaltkreis sendet. Der folgende Takt CLK veranlasst über ein 4-fach-D-FF u. a. die Bildung des Signales AENBRD=H, welches die Adress-und Datebustreiber der CPU inaktiv schaltet. Ein weiterer Takt an D35 führt zur Bildung von /DMAAEN, mit dem die Adresstreiber [D64,D45] des DMA-Schaltkreises aktiviert werden und von /DMAWAIT. Mit diesem Signal, ausgewertet am Taktgeberschaltkreis [D43], wird die CPU in den WAIT-Zustand bis zur Beendigung des DMA-Übertragungszyklusses gesteuert. Die Erlangung der Busherrschaft durch den DMA-Schaltkreis wird mit DACK0...3 an die Peripherie quittiert.
Im nächsten Schritt gibt der 8257 über seinen Datenbus (D0...D7) den H-Teil der Speicheradresse aus, von der gelesen bzw. in die geschrieben werden soll. Diese Adresse wird in einem Register SE82 [D45] zwischengespeichert. Anschliessend erfolgt an den Adressausgängen A0...A7 die Ausgabe des L-Teiles der Adresse, die über dem Treiber SE86 [D64] auf dem Adressbus liegen.
Weiterhin wird über einen Treiber SE16 [D61] das Signal /BHE nachgebildet, aus dem in der Speichersteuerung die Bank mit ungeraden Adressen ausgewählt wird.
Mit Anliegen der kompletten 20-Bit-Adresse werden nun vom DMA-Schaltkreis die Steuersignale für Speicher lesen bzw. Speicher schreiben (/MEMR,/MEMW) und Peripherie schreiben bzw. lesen (/IOW,/IOR) generiert.

DMA-read-Zyklus:	Speicher lesen	- MEMR aktiv
	E/A-Port schreiben	-IOW aktiv
DMA-write-Zyklus	Speicher schreiben	-MEMW aktiv
	E/A-Port lesen	-IOR aktiv

Eine Ausnahme bildet der Refresh-Zyklus, bei dem nur das Signal MEMR aktiv sein muss.
Nach erfolgreicher Übertragung wird das TC-Register des DMA um eins vermindert und die Adresse um eins erhöht. Die Bus-Herrschaft wird an die CPU zurückgegeben, falls DRQ wieder LOW ist. In Diesem Fall wird HRQ inaktiv geschaltet und somit der WAIT-Status des Prozessors aufgehoben. Wenn DRQ weiter aktiv (HIGH) bleibt, wird der nächste DMA-Zyklus ausgeführt, der nur durch eine höherprioritierte DMA-Anforderung (z.B. REFRESH) unterbrochen werden kann.

4.12. Byte-Swap-Logik

4.12.1. Anwendungszweck

Der grundlegende Unterschied des Prozessors 8086 im EC 1834 zum 8088, der zumeist in den internationalen Typen vergleichbarer Personalcomputer Anwendung findet, besteht im Einsatz eines 16 Bit-Datenbusses beim 8086.
Praktisch bedeutet das, dass Mikroprozessoren mit 8 Bit-Datenbus (8088) auf Speicherplätze nur byteweise zugreifen können, auch wenn sie intern 16 Bit Verarbeitungsbreite besitzen. Der Vorteil des Einsatzes des 8086 besteht also darin, dass die CPU entsprechend ihrer internen Verarbeitungsbreite von 16 Bit auch wortweise auf Speicher zugreifen kann, d.h. das L-Byte (mit gerader Adresse) liegt auf dem Datenbus D0...D7 (A0=LOW), das H-Byte (mit ungerader Adresse) auf dem Datenbus D8...D15 (/BHE=LOW). Dadurch können Programme bis zu 30 % schneller sein als PC's mit 8088-CPU.
Bei Speicherzugriffen auf den Arbeitsspeicher von max 640 KByte im EC 1834 hat die Byte-Swap-Logik keinen Einfluss, denn sie wird über /MEMCS16=LOW (Speichererweiterung) bzw. /MEMADRSEL=LOW (Systemplatine, ROM- oder RAM-Zugriff) abgeschaltet, und der Speicherzugriff kann wortweise oder byteweise über D0...D15 erfolgen.
Notwendig wird die Byte-Swap-Einrichtung sowohl um der Forderung zu genügen, international im Angebot befindliche Erweiterungsadapter mit 8 Bit-Bus-Speichern einsetzen zu können als auch E/A-Befehle und DMA-Zugriffe auf ungerade Adressen zu ermöglichen.
Die Aufgabe der Byte-Swap-Einrichtung besteht darin, den H-Teil des Datenbusses der CPU 8086 (D8...D15) bei Wortzugriff zeitgerecht auf den Datenbus D0...D7 von 8 Bit-Peripherie bzw. deren Speichereinrichtungen umzulenken und umgekehrt.
Weiterhin muss der Datenbus bei 8 Bit-Zugriffen (E/A, DMA) auf ungerade Adressen umgeschaltet werden:

- D8...D15 auf D0...D7 bei OUT-Befehlen
- D0...D7 auf D8...D15 bei IN-Befehlen
- D0...D7 auf D8...D15 beim DMA-Speicher-Schreib-Zyklus
- D8...D15 auf D0...D7 beim DMA-Speicher-Lese-Zyklus

Unter drei verschiedenen Bedingungen ist die Benutzung der Byte-Swap-Logik also notwendig:

- wortweiser Zugriff auf Speicher mit 8 Bit-Bus
- E/A-Zugriff auf Tor mit ungerader Adresse
- DMA-Zugriff auf ungerade Speicheradresse

4.12.2. Wortzugriff auf Speicher mit 8 Bit-Datenbus

4.12.2.1. Speicher schreiben

Nach Ausgabe der Speicheradresse, dem 16 Bit-Datenbus D0...D15 und MEMW wird die CPU über /R-W84 in WAIT gesteuert [FF D38/5=LOW], wobei Daten und Adressen von der CPU weiter anliegen. /CS86H und /CS86L sind durch DEN (data enable) vom Bus-Controller, /BHE=LOW und A0=LOW (immer LOW bei Wortzugriff) aktiv geschalten und geben die Datenbustreiber [D21, D23] der CPU frei. Somit wird das L-Byte (D0...D7) in die adressierte Speicherzelle eingetragen. Da die CPU weiter im WAIT-Zustand bleibt, wird mit Hilfe einer Flip-Flop-Kette [D15/5, D36] ein zweiter Speicher-Schreib-Zyklus, synchronisiert mit dem Systemtakt, nachgebildet, so dass auch das H-Byte (D8...D15) an den Speicher übergeben werden kann.
In dem nun folgenden zweiten Speicher-Schreib-Zyklus wird zuerst für eine Taktperiode der Bus-Controller mit CEN=LOW inaktiv geschalten, um

/MEMW für den Speicher neu zu aktivieren (Flanke notwendig). Mit dem nächsten Takt wird ein D-FF [D15/9] gesetzt, welches /CS86L inaktiv schaltet, die Adressleitung A0 von LOW auf HIGH setzt und CS für einen 8 Bit-Treiber [D22] bildet, der den Datenbus D8...D15 von der CPU auf den Datenbus D0...D7 für die Speicher schaltet. Die Datenflussrichtung des Treibers wird durch das Signal DT-/R=LOW (data transmit-/read) vom Bus-Controller bestimmt. Somit wird also im zweiten Speicher-Schreib-Zyklus der H-Teil des Datenbusses der CPU auf die Datenleitungen D0...D7 für den Speicherzugriff umgelenkt. Anschliessend wird der WAIT-Zustand der CPU wieder aufgehoben.

4.12.2.2. Speicher lesen

Der Ablauf des Speicherzugriffes beim wortweisen Lesen durch die CPU aus Speichern mit 8 Bit-Datenbus ist prinzipiell der gleiche. Zusätzlich muss noch die Voraussetzung geschaffen werden, dass der CPU, wenn sie den WAIT-Zustand verlässt, ein 16 Bit breites Datenwort zur Verfügung steht. Deshalb wird der Inhalt der ersten durch die CPU adressierten Speicherzelle (mit gerader Adresse in einem Latch-Register [D24] zwischengepuffert. Einen Systemtakt später schaltet A0 von LOW nach HIGH , und der Datenbustreiber zur Umlenkung der Datenleitungen D0...D7 vom Speicher auf D8...D15 der CPU sowie das Latch-Register [D24] für D0...D7 werden freigegeben. Wieder einen Systemtakt später wird die CPU aus dem WAIT-Zustand entlassen und kann von AD0...AD7 und D8...D15 ein komplettes 16 Bit-Wort übernehmen.

4.12.3. E/A-Zugriff auf Tore mit ungerader Adresse

Die Daten für ungerade Ausgabe-Toradressen gibt die CPU auf D8...D15 aus und erwartet auch bei Eingabebefehlen von ungeraden Adressen die Daten auf D8...D15.
Es sind grundsätzlich nur byteweise E/A-Befehle zugelassen. Eine Überwachungslogik [D32/3] sorgt dafür, dass bei wortweisen E/A-Befehlen der 8 Bit-Treiber [D22] für die Umlenkung des Datenbusses nicht freigegeben wird.
Die Richtungsvorgabe für den Datenbustreiber erfolgt entsprechend des Signalpegels von DT-/R in Abhängigkeit von IOR bzw. IOW. CS für D22 schaltet am NAND D11/6.

4.12.4. DMA-Zugriff auf ungerade Speicheradresse

Bei DMA-Zugriff auf ungerade Speicheradresse wird mit /AEN=LOW der Bus-Controller inaktiv geschaltet, so dass die Signale /MEMR oder /MEMW vom DMA gültig sind. Mit A0=HIGH schaltet CS für den Treiber zur Umlenkung des Datenbusses [D22]. Die Datenflussrichtung des Treibers wird mit /XMEMW des DMA eingestellt.

4.13. NMI-Register

Ein nichtmaskierbarer Interrupt (NMI) kann von vier unterschiedlichen Quellen ausgelöst werden (siehe 4.7.). Das Signal /IOCHCK wird aktiv bei Paritätsfehlern der Speichererweiterung und bei E/A-Befehlen auf verbotene Toradressen (siehe 4.2.2.). Vom System ist also nicht erkennbar, welche Quelle den NMI ausgelöst hat. Deshalb wird mit Auftreten von /IOCHCK der augenblickliche Zustand des Adressbusses A0...A9 sowie der Steuersignale /IOR, /IOW und /BHE in Latch-Registern [D30, D31] festgehalten und kann in der Interrupt-Behandlungsroutine über

die Toradressen 80 und 81 gelesen und ausgewertet werden. Damit ist die Unterscheidung von Speicher-Paritätsfehlern und E/A-Zugriffen auf verbotene Adressen gewährleistet.
Die beiden anderen NMI-Quellen, Co-Prozessor und Paritätsfehler Systemplatinen-RAM (PCK) werden folgendermassen unterschieden:

- Co-Prozessor meldet zusätzlich IRQ 13
- PCK kann über Port C Eingang 7 des PPI abgefragt werden

4.14. Tastatur-Anschluss

Den Tastatur-Anschluss realisiert ein Einchip-Mikrorechner UC 8821 [D55], der mit einem EMR UC 8820 auf der Tastatur korrespondiert. Das Programm für den EMR ist in einem 2 K-EPROM U 2716 [D56] enthalten. Daten werden nur von der Tastatur zum System mit KBCLK und KBDATA gesendet (XT-MODUS). Die übrigen angeschlossenen Ports dienen der Steuerung des EMR bzw. der Abfrage des Konfigurationsschalters S1, dessen Schalterinformation an den PPI übergeben wird.
Portbelegung:

Port 0: Übernahme Schalterstellung Konfigurationsschalter S1
Port 1: bidirektionales Dateninterface zwischen PPI und EMR
Port 2: Steuerleitung vom PPI
Port 3: P30/P31 - Testen der Signale auf den Leitungen KBDATA und KBCLK
P32/P33 - Steuerleitung vom PPI
P34 - Steuerleitung zum PPI
P35 - Bildung von KBCLK
P36 - Bildung von IRQ1
P37 - Bildung von KBDATA

Der EMR hat folgende Aufgaben zu erfüllen:

- Steuerung des Tastatur-Interface und Serien-/Parallel-Wandlung sowie Paritätsprüfung und -generierung, Zeitüberwachung
- Erzeugung des Interrupt-Signales IRQ1 nach Empfang eines gültigen SCAN-Codes
- Übertragung der Schalterinformation zum PPI
- Selbsttest nach dem Einschalten

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Steckverbinder X1.1...X1.8: siehe Bus-Richtlinie PC EC 1834

Steckverbinder X2:

PIN	Kurzzeichen	Bezeichnung
1	12P	
2	00	
3	12N	
4	00	
5	00	
6	5N	

Steckverbinder X3:

PIN	Kurzzeichen	Bezeichnung
1	00	
2	00	
3	00	
4	00	
5	5P	
6	5P	
7	5P	
8	5P	

Steckverbinder X4:

PIN	Kurzzeichen	Bezeichnung
1	PIP	Tongeber-Signal
2	5P	

Steckverbinder X5:

PIN	Kurzzeichen	Bezeichnung
1	00	
2	5P	

Steckverbinder X6:

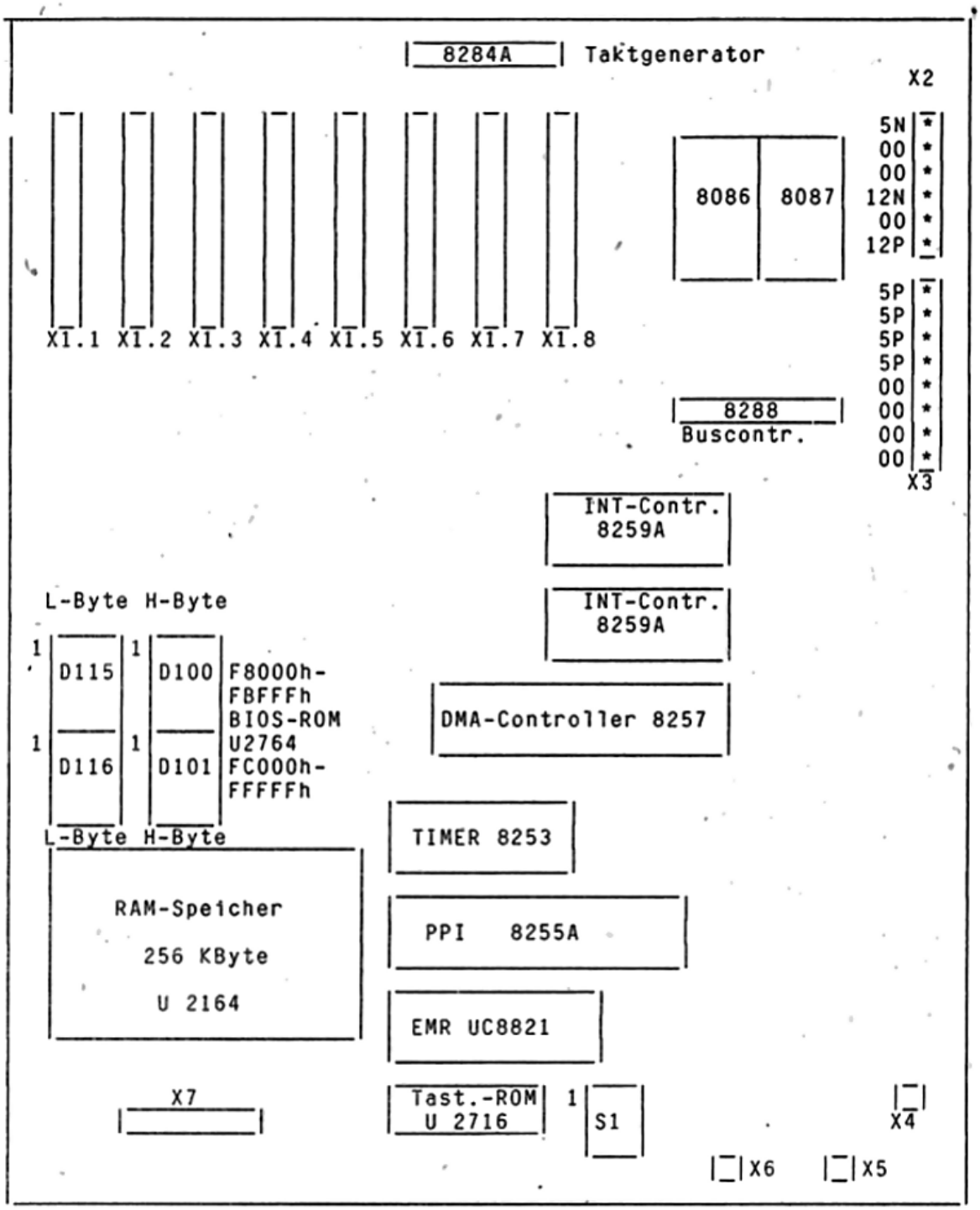
PIN	Kurzzeichen	Bezeichnung
1	00	
2	/RES	

Steckverbinder X7:

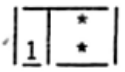
PIN	Kurzzeichen	Bezeichnung
1	5P	
2	KBCLK	keyboard clock
3	-	
4	KBDATA	keyboard data
5	00	
6	5P	
7	-	
8	-	
9	00	

6. Einstellvorschrift

Lage der wichtigsten Bauelemente auf der Leiterplatte



X1.1...X1.8	Steckplätze für Erweiterungsbaugruppen
X2	Stromversorgungsanschluss
X3	Stromversorgungsanschluss
X4	Anschluss Tongeber
X5	Bereitschaftsanzeige
X6	RESET-Anschluss
X7	Tastatur-Anschluss
S1	Konfigurations-Schalter



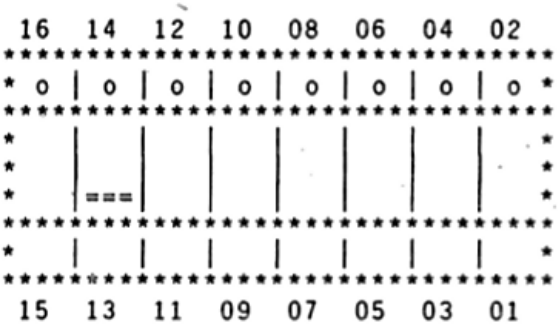
Steckverbinder X4...X6

Auf der Systemplatine befindet sich ein 8-fach-DIL-Schalter, der zur Information der Systemsoftware über die installierten Komponenten dient. Die Schaltereinstellung wird programmgesteuert abgefragt.

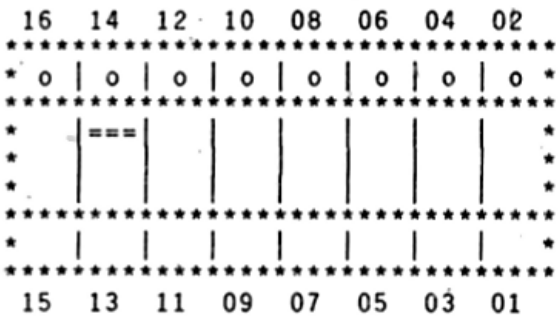
Schalter	Funktion
15-16	Schalter "AUS"
13-14	Arithmetik-Coprozessor
09-10/11-12	Speicherausstattung der Systemplatine (nur 256 KByte)
05-06/07-08	aktueller Bildschirm nach Systemstart
01-02/03-04	Anzahl FD-Laufwerke

Einstellungsvarianten des Schalters (Schalterdarstellung gedreht)

Arithmetik-Coprozessor

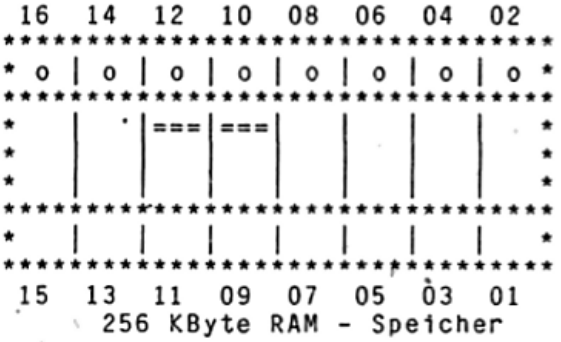


Koprozessor installiert



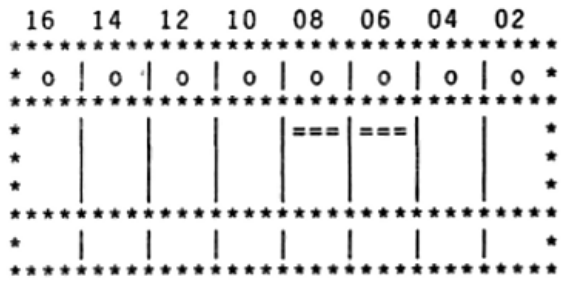
Koprozessor nicht installiert

Speicherausstattung auf der Systemplatine

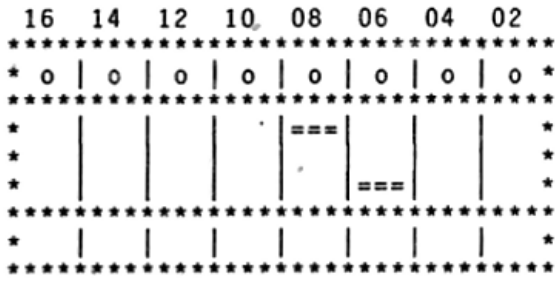


256 KByte RAM - Speicher

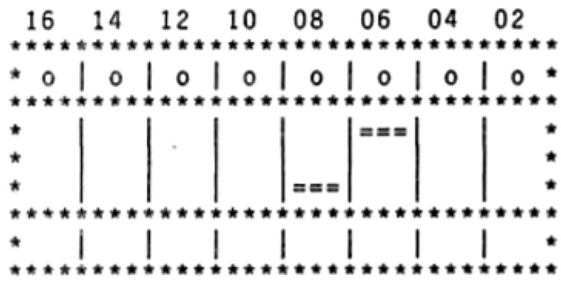
Aktiver Bildschirm nach Systemstart



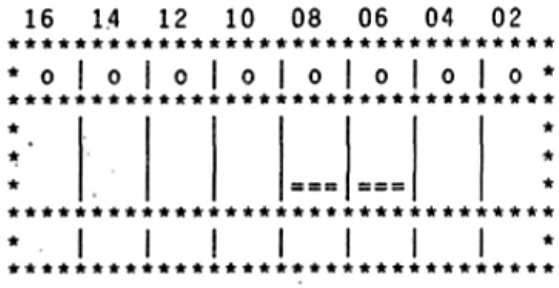
Reserviert (kein Standard-Bildsch.)



Grafikbildschirm 40 x 25

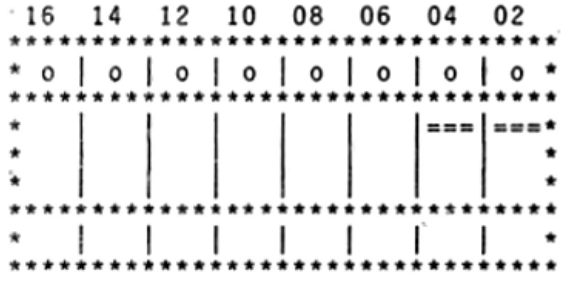


Grafikbildschirm 80 x 25

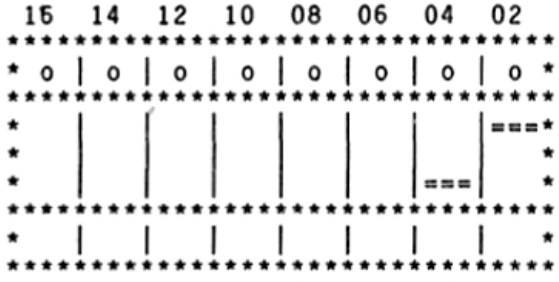


Alphanumerischer Bildschirm

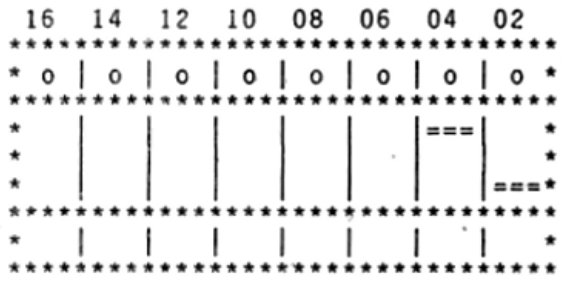
Anzahl Floppy-Disk-Laufwerke



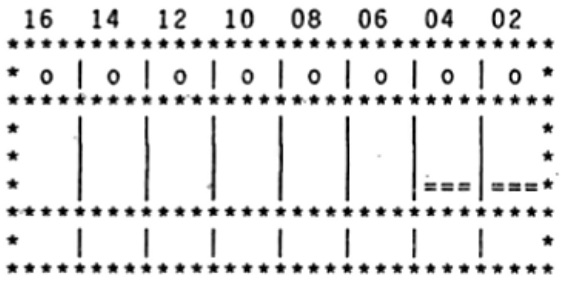
1 Laufwerk angeschlossen



2 Laufwerke angeschlossen



3 Laufwerke angeschlossen



4 Laufwerke angeschlossen

7. Wartungsvorschrift

Die Systemeinheit ist wartungsfrei.

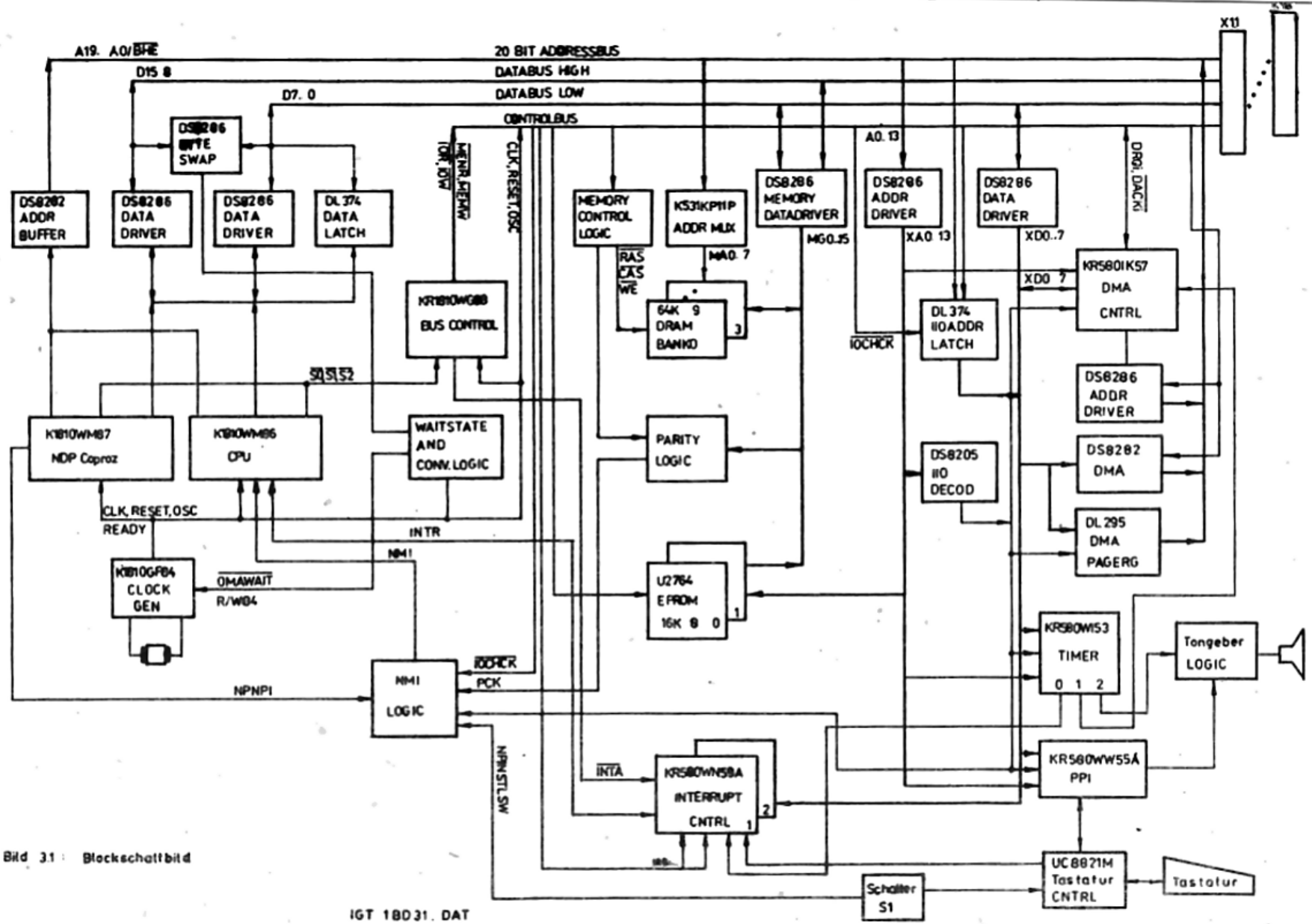


Bild 3.1 : Blockschaltbild

IGT 1BD31. DAT

SYS-21

Technische Beschreibung

Tastatur K 7673
Computer robotron EC 1834

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
2.1. Mechanische Kennwerte
2.2. Anschluss- und Einsatzbedingungen
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Allgemeine Übersicht
4.2. Beschreibung der Tasten- und Anzeigefunktionen
4.3. Prinzipielle Wirkungsweise
5. Tastaturbelegung und SCAN-Codes
6. Kontaktbelegung des Steckverbinders mit Kurzzeichenübersicht
7. Einstellvorschrift / Wartungsvorschrift
8. Reparaturanleitung
8.1. Benötigte Unterlagen, Mess- und Hilfsmittel
8.2. Fehlersuche
8.3. Reparaturausführung
8.4. Verpackungshinweis

1.62.540132.1 (GER)
085-3-000
853.53.01.004

Stand: 03/89

1. Verwendung und Einordnung

Die Tastaturen robotron K 7673 verkörpern eine neue Generation von flachen Tastaturen für die Computertechnik. Sie erfüllen die internationalen Forderungen bezüglich Ergonomie und besitzen eine spezielle Mikrorechnerkonfiguration auf Basis Einchipmikrorechner (EMR). Als Wirkprinzip wird der Elastomerkontakt in Verbindung mit einer veredelten Kammstruktur auf der Leiterplatte verwendet.
Die Gestaltung des Tastenfeldes entspricht der international für Personalcomputer üblichen Form. Die Tastaturen werden in länderspezifischen Ausführungen hergestellt, wobei als wesentliches Merkmal eine Mehrfachbelegung einzelner Tasten des Tastenfeldes hervorzuheben ist.

2. Technische Daten

2.1. Mechanische Kennwerte

Grundraster in Zeilenrichtung:	4,75 mm
Zeilenabstand:	19 mm
Einbaulage:	5° Neigung zur Horizontalen
Betätigungsfrequenz einer Taste:	≤10 Hz
zeitlicher Abstand zwischen den Betätigungen zweier unterschiedlicher Tasten:	≥30 ms
Betätigungskraft:	0,5 ... 1 N
Tastenhub:	max. 4 mm
Masse:	1,5 kg
Abmessungen:	500 mm x 220 mm x 35 mm (Höhe in Reihe C: 30 mm)

2.2. Anschluss- und Einsatzbedingungen

Betriebsspannung:	5P (+5V ±5%)
Stromaufnahme:	ca. 350 mA (ohne Beachtung der Anzeigen)
Taktfrequenz für EMR:	8 MHz
Systemtrennstelle:	Serielle Schnittstelle (XT - Interface) 1 Startbit und 8 Datenbit Takt und Daten: ca. 1 ms / Byte RESET-LOW-Zeit: ca. 500 ms
Einsatzbedingungen:	EK3 / TK2 / G02 / S21 / TM1 und EK3 / TK2 / G02 / S21 / TM3 Schutzgrad IP 20

Die Tastatur erfüllt in Verbindung mit dem Gesamtgerät PC EC 1834 die gerätespezifischen Forderungen der Funkentstörung.

Hinweis!
Der Einsatz der Tastaturen darf nur an Geräten erfolgen, die die Forderung an die Schutzmassnahme "Sicherheitskleinspannung" erfüllen.

3. Konstruktiver Aufbau

Die Tastatur K 7673 ist eine Flachtastatur in einem zweiteiligen Vollplast-Auftischgehäuse. Beide Schalen werden durch sich an den Rändern befindliche Einrastungen sowie fünf Schrauben zusammengehalten.
Zur elektrischen Verschaltung der Tastelemente dient eine Matrix-Leiterplatte, auf welcher diese in eine Matrix eingebunden sind. Die Stösselführungen der Tastelemente sind mit der Leiterplatte verschweisst. Beim Betätigen einer Taste wird die Kontaktgabe durch Berührung des Elastomerformteiles mit der vergoldeten Kammstruktur der Leiterplatte realisiert. Eine Schutzmatte bzw. Einzeldichtelemente zwischen Stösselführung und Leiterplatte verhindern Kontaktunsicherheiten durch Staub u.ä. Unter der Matrix-Leiterplatte befindet sich eine Matte zum Schutz der Lötseite vor mechanischer Zerstörung.
Die Tastaturelektronik ist auf einer separaten Elektronik-Leiterplatte untergebracht und besteht im wesentlichen aus dem EMR UB 8820, einem 2K-EPROM und einem Demultiplexer V 4051. Durch diese handelsüblichen elektronischen Bauelemente der Standardtypenreihen ist bei eventuellen Reparaturen eine Austauschbarkeit weitestgehend möglich.
Die elektrische Verbindung zwischen beiden Leiterplatten wird über zwei Bandleitungen und Schlitzklemmstecker realisiert. Zur Systemplatine des PC EC 1834 führt ein auf der Elektronik-Leiterplatte eingelötetes 8-adriges geschirmtes ca. 0,8 m langes Plastschlauchkabel, welches an der Frontseite des PC über eine 9-polige Cannon-Steckerleiste angesteckt wird.
Die Arretierung beider Leiterplatten im Gehäuse erfolgt durch spezielle Ausformungen in beiden Gehäuseteilen.

4. Funktionsbeschreibung

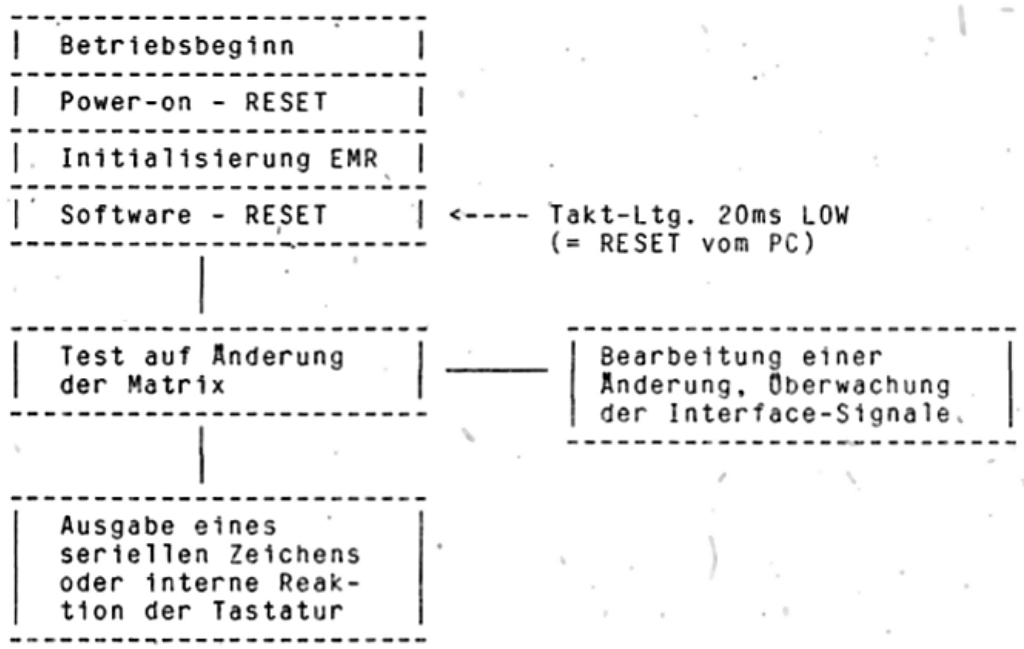
4.1. Allgemeine Übersicht

Beim Betätigen einer Taste wird deren Elastomerformteil gegen eine vergoldete Kammstruktur auf der Matrix-Leiterplatte gedrückt. Über die Elektronik zur Ansteuerung und Abfrage der Tastaturmatrix wird diese Tastenbetätigung erkannt und die der Taste zugeordnete Spaltenleitung auf "LOW" geschaltet.
Eine Auswertung der betätigten Taste erfolgt über den EMR UB 8820, welcher schliesslich aus dem EPROM-Speicher den zugehörigen Make/Break-Code beim Betätigen und Loslassen der Taste seriell über die Leitung KBDATA zum EMR UC 8821 der Systemplatine überträgt.

4.2. Beschreibung der Tasten-und Anzeigefunktionen

Siehe: Anwenderdokumentation
"Anleitung für den Bediener / Hardware-Installationshandbuch"
Pkt. 3.2.

4.3. Prinzipielle Wirkungsweise



4.3.1. Einschaltfunktionen

Mit dem Zuschalten der Betriebsspannung wird über den Schwellspannungsschaltkreis D6 ein "Power-on RESET" erzeugt. Das interne Mikroprogramm startet; der EMR initialisiert sich und konfiguriert seine Ports.
In einem sich anschliessenden internen Basis-Funktionstest werden u.a. die LED's der Tastatur sowie der Tastaturpuffer gelöscht und die internen Statusregister zurückgesetzt. Mit Abschluss des Funktionstestes erfolgt das Aussenden eines Quittungscodes zum System. Im Fehlerfall wartet die Tastatur auf ein Software-RESET, ansonsten beginnt die zyklische Abfrage der Tastaturmatrix.

4.3.2. Tastenbetätigungen

Die Matrixabfrage ist nach folgendem Schema organisiert:
- zyklische Ausgabe des Binärcodes (00H ... 07H) über Port P2 des EMR
- zyklisches Beschalten von jeweils einer Zeilenleitung mit "LOW" über 1 aus 8 - Decoder D5
- Übertragen des LOW-Potentials auf die der gedrückten Taste entsprechenden Spaltenleitung
- Übernahme der Spalteninformation in den EMR über Port P0 und P1

Mit Hilfe der ausgegebenen Zeilen- und der empfangenen Spalteninformation erfolgt die exakte Ermittlung der gedrückten Taste.
Die Tastaturelektronik kann max. drei gleichzeitig gedrückte Tasten erkennen. In einem 16-Zeichen-FIFO-Puffer des EMR werden die SCAN-Codes der betätigten Tasten zwischengespeichert, bis das Interface bereit ist, sie zu übertragen. Die Codes werden in der eingetragenen Reihenfolge gesendet. Die Bedingung "Pufferüberlauf" tritt auf, wenn mehr als 16 Tastencodes im Puffer gespeichert werden sollen, bevor der erste Code abgeschickt wurde. Dabei wird der 17. Code durch einen Überlaufcode ersetzt.

Alle Tasten sind als "make/break" klassifiziert. Beim Drücken einer Taste wird ein Make-Code gesendet und beim Loslassen derselben der Break-Code. Der Break-Code einer Taste ist ihr Make-Code, geodert mit 80h.
Ausser Taste "Pause" haben alle Tasten Typamatic-Funktion. Wird eine Taste gedrückt gehalten, sendet die Tastatur nach einer Zeitschwelle von ca. 500 ms mit einer Typamatic-Rate von 10,9 Zeichen pro Sekunde wiederholt den Make-Code. Werden zwei oder mehr Tasten gedrückt gehalten, wird nur die zuletzt betätigte Taste mit der Typamatic-Rate wiederholt. Ein Pufferüberlauf als Folge einer Typamatic-Operation wird programmtechnisch verhindert.

4.3.3. Bedienung der Tastaturschnittstelle

4.3.3.1. Allgemeines

Die Steuerung des Tastaturinterfaces erfolgt über einen Einchip-Mikrorechner UB 8820 seitens der Tastatur und über einen EMR UC 8821 seitens der Systemplatine des PC. Die Anpassung an den internen Bus der Systemplatine gewährleistet der Schaltkreis PPI analog 8255.
Der Einsatz der EMR ermöglicht prinzipiell die Bedienung unterschiedlicher Interfaces, wobei für den PC EC 1834 die PC/XT-analoge Tastaturschnittstelle realisiert ist.

4.3.3.2. Funktionen der Einchip-Mikrorechner

EMR UC 8821 (Systemplatine)

Port 0:	Dient zur Übernahme der acht Schalterinformationen von S1	
Port 1:	Realisiert das bidirektionale Dateninterface zum PPI; die Richtung der Übertragung wird durch CPU-Kommandos bestimmt	
Port 2:	Steuerleitung zum PPI	
Port 3:	P30/P31	- Eingänge zum Testen der Signale auf den Leitungen KBDATA und KBCLK
	P32/P33/P34	- Steuerleitungen vom bzw. zum PPI
	P35	- Bildung von KBCLK (Taktleitung)
	P36	- Bildung von IRQ1
	P37	- Bildung von KBDATA (Datenleitung)

Folgende Hauptfunktionen werden realisiert:
- Übernahme von Kommandos der CPU (über PPI) und deren Ausführung
- Steuerung des Tastaturinterfaces; insbesondere Serien/Parallel-Wandlung, Paritätsprüfung bzw. -generierung, Zeitüberwachung
- Erzeugung des Interruptsignals IRQ1
- Übertragung der Schalterinformation zur CPU
- Selbsttest nach dem Einschalten

EMR UB 8820 (Tastatur)

Port 0:\		
Port 1:/	Dienen der Übernahme der Spalteninformation in den EMR	
Port 2:	P20/P21/P22	- zyklische Ausgabe des Binärcodes zur Auswahl der Zeilenleitungen
	P24/P25/P26	- Ansteuerung der LED-Anzeigen der Tastatur
Port 3:	P30/P31	- Eingänge zum Testen der Signale auf den Leitungen KBDATA und KBCLK
	P36	- Bildung von KBCLK (Taktleitung)
	P37	- Bildung von KBDATA (Datenleitung)

Folgende Hauptfunktionen werden realisiert:
- Erkennen der gedrückten (make-) bzw. der losgelassenen (break-) Tasten
- Ermittlung des Positionscodes (SCAN-Code) der betätigten Taste
- Parallel/Serienwandlung des SCAN-Codes
- Steuerung des seriellen Interfaces entsprechend PC/XT-Protokoll
- Schalten der LED's
- Realisierung eines Tastaturpuffers

4.3.3.3. Übertragungssteuerung

Erst nach mehreren Matrixabfragen wird eine Taste als gültig angesehen und deren SCAN-Code über die Datenleitung seriell zur Verfügung gestellt. Im PC/XT-Modus werden Daten prinzipiell nur von der Tastatur zum System ausgegeben.
Tastatur und Rechner arbeiten über die bidirektionalen Leitungen KBCLK und KBDATA zusammen. Über KBCLK liefert die Tastatur einen Takt und über KBDATA erfolgt die Übertragung der SCAN-Codes der Tastatur seriell mit einem Startbit und acht Datenbits. Bevor die Tastatur Daten zum System übertragen kann, muss sie erst den Zustand der beiden Leitungen überprüfen. Liegen beide auf HIGH, kann die Datenübertragung in der beschriebenen Bitfolge stattfinden. Ist eine der Leitungen oder beide auf LOW, werden die Codes der betätigten Tasten im Tastaturpuffer zwischengespeichert.
LOW-Pegel auf KBDATA entsteht auf der Rechnerseite nach dem Empfang eines vollständigen SCAN-Codes. Der EMR UC 8821 schaltet die SCAN-Code-Information parallel auf die PA-Leitungen des PPI. IRQ1 wird HIGH (Voraussetzung: PB7=LOW). Damit schaltet KBDATA auf LOW - die Übertragung eines neuen SCAN-Codes ist unterbunden, bis über PB7=HIGH IRQ1 wieder inaktiv wird.
Während der HIGH-Phase des Taktes auf der Leitung KBCLK ist die Bitinformation auf KBDATA gültig. Zieht das System die KBCLK-Leitung auf LOW, stoppt die Tastatur das Senden der Datenbits, da mindestens aller 60 us eine Prüfung der KBCLK-Leitung seitens der Tastatur stattfindet. Ist KBCLK für länger als 20 ms LOW, signalisiert dies der Tastatur eine Rücksetzoperation (Software-RESET). Die Tastatur quittiert ein Rücksetzen, auch das Anfangsrücksetzen, mit dem SCAN-Code "AA".

5. Tastaturbelegung und SCAN-Codes

Tasten-position	Zeile/Spalte in der Matrix	SCAN-Code	Tasten-position	Zeile/Spalte in der Matrix	SCAN-Code
G 00	7/C	54	G 02	5/C	3B
G 03	7/E	3C	G 04	7/F	3D
G 05	3/E	3E	G 07	3/F	3F
G 08	6/E	40	G 09	6/F	41
G 10	2/E	42	G 12	5/E	43
G 13	5/F	44	G 14	1/E	57
G 15	1/F	58	G 47	4/E	E037
G 48	4/F	46	G 49	0/E	*)
E 00	5/6	01	E 01	0/0	02
E 02	4/0	03	E 03	0/1	04
E 04	4/1	05	E 05	0/2	06
E 06	4/2	07	E 07	0/3	08
E 08	4/3	09	E 09	0/4	0A
E 10	4/4	0B	E 11	0/5	0C

Tasten-position	Zeile/Spalte in der Matrix	SCAN-Code	Tasten-position	Zeile/Spalte in der Matrix	SCAN-Code
E 12	4/5	0D	E 13	6/7	29
E 14	4/7	0E	E 47	0/9	E052
E 48	4/9	E047	E 49	0/A	E049
E 51	4/A	45	E 52	0/B	E035
E 53	4/B	37	E 54	0/7	4A
D 00	0/6	1D	D 01	1/0	10
D 02	5/0	11	D 03	1/1	12
D 04	5/1	13	D 05	1/2	14
D 06	5/2	15	D 07	1/3	16
D 08	5/3	17	D 09	1/4	18
D 10	5/4	19	D 11	1/5	1A
D 12	5/5	1B	D 13	5/7	0F
D 47	1/9	E053	D 48	5/9	E04F
D 49	1/A	E051	D 51	5/A	47
D 52	1/B	48	D 53	5/B	49
D/C 54	2/7	4E			
C 00	2/6	3A	C 01	2/0	1E
C 02	6/0	1F	C 03	2/1	20
C 04	6/1	21	C 05	2/2	22
C 06	6/2	23	C 07	2/3	24
C 08	6/3	25	C 09	2/4	26
C 10	6/4	27	C 11	2/5	28
C 12	6/5	2B	C/B 13 #)	3/8	1C
C 51	6/A	4B	C 52	2/B	4C
C 53	6/B	4D			
B 99	3/6	2A	B 00	4/6	56
B 01	3/0	2C	B 02	7/0	2D
B 03	3/1	2E	B 04	7/1	2F
B 05	3/2	30	B 06	7/2	31
B 07	3/3	32	B 08	7/3	33
B 09	3/4	34	B 10	7/4	35
B 11	6/6 +)	36	B 48	7/9	E048
B 51	7/A	4F	B 52	3/B	50
B 53	7/B	51	B/A 54	3/7	E01C
A 01	6/D	38	A 02 - A 09	7/7	39
A 10	7/D	E038	A 47	2/8	E04B
A 48	1/8	E050	A 49	0/8	E04D
A 51	4/8	52	A 52	5/8	E152E152
A 53	6/8	53			

*) SCAN-Code der Taste "PAUSE" (Koordinate G 49):
- E1 1D 45 E1 9D C5 ----> normal
- E0 46 E0 C6 ----> mit CTRL

#) Der Tastenknopf auf der Position C/B13 mit dem Symbol (<--!) ist seit 2/89 geändert auf das Symbol (<--!) (RETURN).
Die Symboländerung hat keinen Einfluss auf die Tastenfunktion.

+) Besitzt die Matrixleiterplatte der Tastatur den Änderungsindex B2 bzw. B3, gilt für die Taste "Shift rechts" (Koordinate B11) die Matrixzeile bzw. -spalte 1/6. Bei diesem Änderungsindex ist der EPROM I898 einzusetzen.

6. Kontaktbelegung des Steckverbinders mit Kurzzeichenübersicht

Am Tastaturkabel ist eine 9-polige Cannon-Steckerleiste mit folgender Belegung angelötet:

PIN	Kurzzeichen	Bezeichnung
1	KBN05P	keyboard 5V positiv
2	KBCLK	keyboard clock
3	-	
4	KBDATA	keyboard data
5	KBN00	keyboard ground
6	KBN05P	keyboard 5V positiv
7	-	
8	-	
9	KBN00	keyboard ground

7. Einstellvorschrift / Wartungsvorschrift

Die Tastatur K 7673 ist wartungsfrei und im Dauerbetrieb einsetzbar. Sie besitzt eine hohe Lebensdauer und Funktionssicherheit.

8. Reparaturanleitung

8.1. Benötigte Unterlagen, Mess- und Hilfsmittel

- Stromlaufplan der Elektronikleiterplatte 1.49.686028.4/04
- Belegungsplan der Elektronikleiterplatte 1.49.686028.4/00
- Stromlaufplan Matrixleiterplatte 1.49.686003.4/04
- Matrixleiterplatte, bstue 1.49.686094.2/00
  Auftischtastatur K7673.02 1.49.686096.7/00
  (bzw. entspr. Ländervariante)
- Funktionsbeschreibung (Betriebsdokumentation)
- Oszillograf (mind. 10 MHz)
- Vielfachmesser
- PC EC 1834 mit Diagnoseprogramm DIAGN
- EPROM-Programmiergeraet (2 K)
- Reparaturlötplatz

8.2. Fehlersuche

Die Fehlersuche erfolgt mit dem Testprogramm DIAGN und Oszillograf. Das Programm DIAGN (Programmzweig Tastaturtest) wird mit einer funktionstüchtigen Tastatur gestartet. Danach erfolgt der Anschluss der defekten Tastatur zur Überprüfung der Kontaktgebung der einzelnen Tasten, des Taktes, der Zeilen- und Spaltensignale sowie der SCAN-Codes. Die Funktion der Schaltkreise D2, D3, D5 und D6 ist dabei eindeutig nachweisbar. Sind diese nicht defekt, verbleiben als möglich fehlerhafte Schaltkreise D1 und D4 (EMR und progr. EPROM), die zu wechseln sind.

8.3. Reparaturausführung

8.3.1. Auswechseln des Elastomerformteiles

Der Tastenknopf wird mit einem geeigneten Hilfsmittel (Schraubendreher, Federhaken) vom Stössel gelöst. Nach Entnahme der Rückstellfeder und der Nachlauffeder wird der Elastomerträger mit Elastomerformteil mittels einer Pinzette aus dem Stössel herausgehoben. Eine Berührung des Elastomerformteils mit den Fingern ist dabei zu vermeiden (Handschweiss!).
Vor dem Einbau ist die Taste kpl., insbesondere der Schaltraum von losen Plast- oder Schmutzteilchen zu reinigen (Haarpinsel, Staubsauger).
Der Tastenknopf wird mit einer Aufdruckkraft von 120 N aufgedrückt und bei Bedarf ausgerichtet.

8.3.2. Öffnen des Tastaturgehäuses

Die 5 Zylinderblechschrauben sind aus dem Gehäuseunterteil herauszudrehen. Mittels geeignetem Werkzeug (Schraubendreher) müssen die Rastverbindungen beginnend an der vorderen Längsseite vorsichtig gelöst werden. Anschliessend ist das Gehäuseoberteil nach hinten zu klappen und auszuhängen.
Zur Reparatur sind die Matrix- und Elektronikleiterplatte auf einer geeigneten Unterlage abzulegen.
Der Wiedereinbau der Baugruppen in das Gehäuse geschieht in folgender Reihenfolge:
- Einlegen der Dämpfungsmatte
- Einlegen beider bestückter Leiterplatten, wobei die Elektronikleiterplatte etwas überlappend unter die Matrixleiterplatte in die Aufnahme eingelegt wird.
  Die Bandleitung ist dabei S-förmig zu biegen.
- Leitung kpl. zeichnungsgerecht im Gehäuseunterteil einlegen.
- Gehäuseoberteil an der Seite des Leitungsaustritts in das Gehäuseunterteil einhängen und auf dieses aufdrücken.
  Auf einwandfreien Sitz der Rastverbindungen und der LED ist zu achten.
- Zylinderblechschrauben B 2,9 x 9,5 bzw. B 2,9 x 13 einschrauben

8.3.3. Auswechseln der Mehrfachknöpfe mit Parallelführung

Bei geöffneter Tastatur sind folgende Arbeitsschritte notwendig:
- Ausrasten des Führungsbügels aus den Lagerstellen der Parallelführungsaufsätze
- Führungsbügel kpl. aus den Ausklinkungen der Führungen herausziehen
- Abziehen des Tastenknopfes
- Abheben der Parallelführungsaufsätze von der Stösselführung mittels Schraubendreher (sofern erforderlich)

8.3.4. Auswechseln defekter Stössel und Stösselführung

Diese Reparatur erfolgt nur im Fertigungsdurchlauf beim Hersteller und ist nur mit einer geeigneten Vorrichtung durchzuführen.
Beim Kunden ist ein solcher Ausfall durch Austausch der Tastatur zu beheben.

8.3.5. Weitere Reparaturhinweise

- Die maximal zulässige Bauhöhe bestückungsseitig beträgt für den Schwingquarz N1 17,0 mm, für die Schnittstellendrossel L1 16,0 mm, für alle anderen Bauelemente max. 15,0 mm.
- Beim Wechseln einer LED ist diese lagerichtig (Anode, Katode) in die Leiterplatte einzulöten.
- Bei Fehler am Flachbandkabel (Verbindung zwischen Matrix- und Elektronikleiterplatte) ist ein einmaliges Nachsetzen möglich. Ansonsten ist es auszuwechseln.
  Dabei ist besonders darauf zu achten, dass die Rastverschlüsse der Verteilerleisten nicht ausbrechen!
- Das Wechseln des Tastaturanschlusskabels erfolgt als Baugruppe "Leitung kpl.". Ist diese Baugruppe nicht vorhanden, kann im Austausch geschirmte Plastschlauchleitung HYF (C) Y 4x2x0,14 verwendet werden.
  Es ist darauf zu achten, dass sich das Kabel mit Mantel unter der Befestigungsschelle befindet, um eine sichere Zugentlastung zu gewährleisten.

8.4. Verpackungshinweis

Das Tastaturanschlusskabel ist zur Vermeidung von Farbveränderungen am Tastaturgehäuse in die mitgelieferte Papphülse zu stecken.

Technische Beschreibung

F l o p p y - D i s k - C o n t r o l l e r

Personalcomputer robotron EC 1834

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Allgemeine Übersicht
4.2. Beschreibung der Funktionsgruppen
4.2.1. RESET-Erzeugung
4.2.2. Takterzeugung
4.2.3. Motorsteuerung
4.2.4. Steuerregister
4.2.5. Laufwerkauswahl
4.2.6. Schreibsteuerung
4.2.7. Lesesteuerung
4.2.8. Lesen des ersten Sektors
4.2.9. DMA-/INT-Arbeit
4.3. Toradressen
5. Kontaktbelegung der Steckverbinder, Kurzzeichenübersicht
6. Einstellvorschrift
6.1. DIL-Schalter S1,S2
6.2. Einstellung der PLL
6.3. Einstellung des Read-Data-Impulses
7. Wartungsvorschrift

1.62.540124.1 (GER)
085-3-000
852.53.01.006

Stand: 08/88

1. Verwendung und Einordnung

Die Ansteuerung der Folienspeicher erfolgt über den Floppy-Disk-Controller unter Steuerung des Schaltkreises FDC 8272. Sie dient zum Anschluss von max. 4 Floppy-Disk von 5,25 Zoll oder auch von 8 Zoll Standard-Floppy-Disk. 5,25-Zoll-Disketten können im MFM-Verfahren, 8-Zoll-Disketten im MFM- und FM-Verfahren bearbeitet werden. Zwei geräteinterne 5,25"-Floppy-Disk werden auf dem Floppy-Disk-Controller an einer 34-poligen Verteilerleiste in Schlitzklemmtechnik angeschlossen. Über eine zweite Verteilerleiste können nochmals zwei interne 5,25"-Floppy-Disk angeschlossen werden.
Standard-Floppy-Disk werden über einen 37-poligen Steckverbinder an der Rückseite der Systemeinheit extern angeschlossen. Folgende Varianten können eingesetzt werden:

1. Anschluss von 2 internen Mini-Floppy-Disk (1.93.320102.2)
2. Anschluss von 4 internen Mini-Floppy-Disk (1.93.320202.3)
3. Anschluss von 2 internen Mini-Floppy-Disk und
   2 externen Floppy-Disk-Laufwerken (1.93.320302.4)

Als interne Laufwerke werden vorzugsweise Floppy-Disk K 5601 eingesetzt. Externe Laufwerke können sowohl Mini- als auch Standard-Floppy-Disk sein. Anschlussfähig sind folgende Laufwerkstypen:

5,25"-FD	8"-FD
K 5601	K 5602
K 5600.10	MF 3200
K 5600.20	MF 6400

Es muss jedoch für andere Laufwerkstypen als das K 5601 die softwareseitige Unterstützung vorhanden sein.
Hinweis: Es existieren zwei Varianten des FD-Adapters, die sich äusserlich in den Abmessungen unterscheiden:
- neu: 300 mm x 100 mm
- alt: 360 mm x 100 mm

Untereinander sind sie Steckerkompatibel und somit austauschbar!
In den folgenden Abschnitten der Dokumentation beziehen sich Angaben in eckigen Klammern auf den FD-Adapter älteren Standes.

2. Technische Daten

Steckkarte	300 mm x 100 mm MLL III [360 mm x 100 mm MLL III]
Verbindungselemente	1 x Buchsenleiste X1 402-96 EBS-GO 4007 1 x Buchsenleiste X2 204-37 EBS-GO 4006/01-2V 2 x Verteilerleiste 34-polig X3,X4 806-3400-001
Betriebsspannungen	5P (+5V) 12P (+12V) 00 (Masse)
Laufwerksinterface	entsprechend Standard ISO 286
Schnittstelle zum EC 1834	entsprechend Busrichtlinie EC 1834
Aufzeichnungsverfahren	FM/MFM
Sektorlänge	128 Byte/256 Byte/512 Byte

3. Konstruktiver Aufbau

Der Floppy-Disk-Controller besteht aus einer Mehrlagenleiterplatte (MLL) der Grösse 300 [360] mm x 100 mm. Die Verbindung zum Systembus realisiert die 96-polige indirekte Buchsenleiste X1. Über den Steckverbinder X2, eine 37-polige Buchsenleiste, können maximal zwei externe Laufwerke angeschlossen werden. Dieser Steckverbinder ist auf der Rückseite der Systemeinheit herausgeführt und somit von aussen zugänglich.
Zwei bzw. vier interne 5,25"-Laufwerke werden an den Verteilerleisten X3 und X4 angeschlossen. Die Verteilerleiste X3 ist mit den Laufwerken 0 und 1, X4 mit den Laufwerken 2 und 3 verbunden. Die Laufwerke 1 und 3 werden am jeweiligen Kabelende angesteckt und sind mit Leitungsabschlusswiderständen versehen. Alle intern eingesetzten Floppy-Disk sind laufwerkseitig mit DRIVE SELECT 1 zu adressieren.

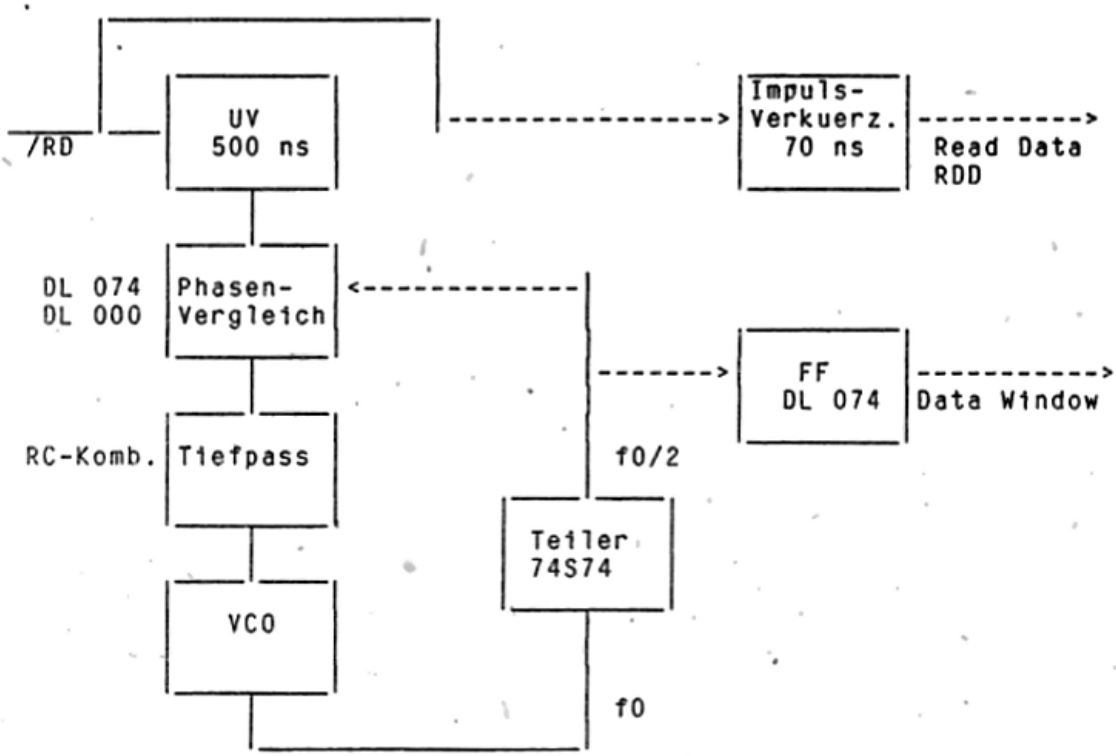
4. Funktionsbeschreibung

4.1. Allgemeine Übersicht

Der Floppy-Disk-Controller besteht aus folgenden Funktionsgruppen:

- RESET-Steuerung
- Konfigurationsschalter
- Takterzeugung
- Motorsteuerung
- Steuerregister
- Laufwerkauswahl
- Schreibsteuerung
- Lesesteuerung
- DMA-Steuerung

Blockschaltbild PLL



4.2. Beschreibung der Funktionsgruppen

4.2.1. RESET-Erzeugung

Das RESET-Signal des Systems setzt den FDC 8272 A18 [A1] über ein NAND A22/11 [A9/11] in den Grundzustand und das FF zur Bildung des Motoreinschaltsignales zurück. Gleichzeitig wird das System-RESET den FD-Laufwerken zugeführt. Für den Fall, dass der FDC einen undefinierten Zustand einnimmt, ist die Möglichkeit gegeben, über OUT 3F4h mit Bit 6 zum Steuerregister A12 [A31] nur den FDC zurückzusetzen, ohne den Zustand des gesamten Mikroprozessorsystems zu verändern.

4.2.2. Takterzeugung

Zum Anschluss von Standard-FD-Laufwerken wird ein 8-MHz- und für Mini-FD-Laufwerke ein 4-MHz-Grundtakt benötigt. Beide Takte werden aus einem quarzgesteuerten Taktgenerator von 8 MHz Q1,A38 [A8] abgeleitet. Die Umschaltung des Taktes wird mit dem Signal F0 des Steuerregisters (Auswahl Standard- oder Mini-FD) über A33/5/6 [A23/5/6], A22/3/6/8 [A9/3/6/8] realisiert.
Die Erzeugung des Schreibtaktes WRCLK erfolgt in Abhängigkeit vom Laufwerktyp (8 oder 5,25 Zoll,FM oder MFM) an den D-FF A6 [A25] und A7 [A22], die zwei Schreibtakte von 1us (8 Zoll MFM) bzw. 2 us Periodendauer (5,25 Zoll MFM, 8 Zoll FM) bilden.

4.2.3. Motorsteuerung

Die Motorein- und -ausschaltung /MO erfolgt softwaremässig mit dem OUT 3F6h über A2 [A28] und A8 [A35]. Beim Einschalten wird das D-FF A2 [a28] rückgesetzt. Durch die Softwaresteuerung des Motor-on-Signales wird der Verschleiss des Antriebsmotors so gering wie möglich gehalten.

4.2.4. Steuerregister

Das Steuerregister A12, A13 [A31] dient dazu, alle Funktionen der FD-Steuerung durch den FDC zu ermöglichen. Es besteht aus zwei 4-fach D-FF [einem 8-fach D-FF] und wird über den Datenbus durch die CPU mittels Ausgabebefehl auf das Tor 3F4h eingestellt.
Folgende Steuersignale können gesetzt werden:

Bit 0	F0	Low	5,25"-Format
		High	8"-Format
Bit 2,1	TIME 2	TIME 1	Präkompensationszeiten
	Bit 2	Bit 1	
	Low	Low	125 ns
	Low	High	250 ns
	High	Low	375 ns
	High	High	500 ns
Bit 3	PRE	Low	Unterdrückung der Präkompensation
Bit 4	UESEL	High	Freigabe der Selektleitungen
		Low	Freigabe der Selektleitungen abhängig von /HDL
Bit 5	FIX	High	Sperren des Indexsignales für den FDC
Bit 6		Low	Software-RESET für den FDC
Bit 7		High	Sperren der DMA-Steuerung (d.h. TC, DACK2, DRQ2 und IRQ6 gesperrt)

4.2.5. Laufwerkauswahl

Die Laufwerkauswahl erfolgt durch den FDC, der es ermöglicht, bis zu vier Laufwerke anzusteuern. Aus den Laufwerk-Selektionssignalen DS0 und DS1 des FDC werden mittels 1-aus-8-Decoder A35 [A4] und Transistorarray A37 [A38] die Laufwerk-Selektionssignale /SE0.../SE3 erzeugt. Da der FDC zyklisch die Laufwerke für jeweils 15 us anwählt, hat das zur Folge, dass bei Laufwerken mit aktivem Selektionssignal der Motor einschaltet. Die Folge ist erhöhter Motor- und Diskettenverschleiss. Um dies zu verhindern, wird der 1-aus-8-Decoder nur zu bestimmten Zeiten freigegeben; entweder mit dem Signal UESEL aus dem Steuerregister oder dem Signal HDL (head load) vom FDC. Nach dem Verlassen der Programmroutine wird das Bit UESEL im Steuerregister wieder inaktiv geschaltet. HDL vom FDC muss ebenfalls inaktiv sein, und somit wird der Decoder gesperrt.
Um einen Laufwerk-Zugriff bei Spannungsausfall zu verhindern, wird über die Spannung 12P die Freigabe des Transistorarrays realisiert. Eine Z-Diode bewirkt bei Unterschreiten von 7,5 V das Sperren des Transistorarrays, wodurch eine Deselektion der Laufwerke erreicht wird.

4.2.6. Schreibsteuerung

Die Schreibdaten vom FDC mit einer Impulsbreite von 200 ns werden in einem D-FF A15/9 [A24/9] zwischengespeichert. Im MFM-Aufzeichnungsverfahren liefert der FDC ausserdem noch zwei Präkompensationssignale PS0 und PS1, mit denen definiert wird, ob die Schreibimpulsabgabe früher, später oder normal erfolgen soll. Aus dem 8-MHz-Takt werden vier Präkompensationszeiten abgeleitet (TA8 ≙ 125 ns, /TA4 ≙ 250 ns, TA3 ≙ 375 ns und /TA2 ≙ 500 ns). Mit dem Steuerregister A13 [A31] wird eine der Präkompensationszeiten mit TIME1 und TIME2 softwaremässig ausgewählt und über den Multiplexer 1 A39 [A29] das Schieberegister DL295, A21 [A37] getaktet. Mit der H-L-Flanke dieses Taktes werden die zwischengespeicherten Schreibimpulse in das Schieberegister DL 295 übernommen und mit jedem Takt weitergeschoben. Drei Ausgänge des Schieberegisters sind auf den Multiplexer 2 A29 [A30] geführt. Dieser wird durch die Präkompensationssignale PS0 und PS1 des FDC gesteuert. Der erste Ausgang des Schieberegisters dient der früheren, der zweite der normalen und der dritte Ausgang der späteren Impulsabgabe. Für Laufwerke, die keine Präkompensation benötigen, kann diese über das Steuerregister gesperrt werden (PRE=LOW).

Präkompensationszeiten

	TIME1	TIME2
125 ns	L	L
250 ns	H	L
375 ns	L	H
500 ns	H	H

Schreibimpulsabgabe

	PRE	PS0	PS1
normal	L/H	L	L
früher	H	H	L
später	H	L	H

Am Ausgang des Multiplexers 2 liegen die Schreibimpulse über einen Leitungstreiber 75450, A34 [A40] an den Laufwerken an.

4.2.7. Lesesteuerung

Die vom Laufwerk kommenden Lesedaten werden mittels eines UV A16/5 [A27] auf 500 ns Impulsbreite eingestellt und dem Phasenregelkreis (PLL) zugeführt. Die PLL hat die Aufgabe, einen spannungsgesteuerten Oszillator in Frequenz und Phase mit den Lesedaten zu synchronisieren und Taktimpulse zu erzeugen, die in fester Relation zu den Lesedaten stehen. Damit können Langzeitschwankungen der Bitabstände infolge von Gleichlaufschwankungen bzw. geringfügige Drehzahlabweichungen der Laufwerke ausgeglichen werden. Die PLL besteht aus Phasenvergleich A23/6,8 [A10/6/8], nachgeschaltetem Tiefpass, einem spannungsgesteuerten Oszillator (OPV B761 A1 [A36], Transistor SC 308 V6 [V1], Schmitt-Trigger K155TL1 A24 [A3], Kondensator 1000 pF C6 [C10], Negator 7406 A30/10 [A2/10]) und einem Teiler DL074 A41/9 [A21/9].
Der Oszillatortakt wird über den Teiler A41/9 [21/9] gemeinsam mit den Lesedaten dem Phasenvergleich zugeführt. Ein weiterer Teiler A33/9 [A23/9] kann je nach Wahl von Aufzeichnungsverfahren und -format zugeschaltet werden. Am Ausgang entsteht je nach Frequenz- und Phasenabweichung eine impulsförmige Fehlerspannung, die mittels des Tiefpasses geglättet wird und den spannungsgesteuerten Oszillator über den Operationsverstärker A1 [A36] beeinflusst. Der Ausgang des OPV steuert über die Konstantstromquelle V6 [V1] den Schmitt-Trigger, dessen Schaltzeitpunkt sich in Abhängigkeit von der Grösse der Fehlerspannung verschiebt. Die Freilauffrequenz des Oszillators wird mit einem Regler auf 2000 kHz $\pm$ 2 kHz eingestellt. Mittels eines D-FF A41/5 [A21/5] wird aus der halben Oszillatorfrequenz das Signal Data-Window erzeugt. In Abhängigkeit vom Aufzeichnungsverfahren ist es 1 oder 2 us lang LOW oder HIGH, wobei jede Polarität gültig ist. Der Lesetakt kann somit eine Frequenz von 500 kHz oder 1 MHz besitzen.
Ein zweites UV A16/13,04 [A27/13/04], gesteuert durch /RD, hat eine Haltezeit von 250 ns. Die Rückflanke markiert die Mitte eines Bitraumes, der ein Bit enthalten kann. Aus dieser Rückflanke wird ein ca. 70 ns breiter Impuls gewonnen, der dem FDC als Lesedatenimpuls zugeführt wird. Mit dem Regler R19 [R47] kann dieser Impuls in die Mitte des Data-Window-Raumes gelegt werden. Damit ist es möglich, Einzelbits solange sicher zu erfassen, wie sie sich trotz eventueller Positionsabweichungen noch im für sie bestimmten Data-Window-Raum befinden.

4.2.8. Lesen des ersten Sektors

Die mittels eines FDC-Schaltkreises beschriebenen Disketten sind sowohl vom FDC als auch von Systemen, die nach der Norm ECMA 70 bzw. KROS 5110 arbeiten, lesbar. Bei den nach dieser Norm beschriebenen Disketten befindet sich jedoch das Adressfeld des ersten Sektors jeder Spur bedeutend näher am Index-Loch als bei vom FDC beschriebenen Disketten. Der erste Sektor jeder Spur einer solchen Diskette ist durch den FDC nicht lesbar.
Um diese Sektoren dennoch vom FDC lesen zu können, wird das Index-Signal /IX zum Lesen des ersten Sektors ausgeblendet. Zu diesem Zweck wird das Signal FIX des Steuerregisters A12 [A31] HIGH gesetzt und damit über das NOR-Gatter A10/4 [A12/4] der Indexeingang IDX des FDC fest auf LOW gehalten. Bei allen anderen Sektoren wird FIX auf LOW gesetzt, so dass das Indexsignal /IX über das NOR-Gatter zum FDC gelangen kann.

4.2.9. DMA-/INT- Arbeit

Der Datenaustausch zwischen FDC und RAM wird mittels des DMA (Direct Memory Access) realisiert. Um die Zeitbedingungen einzuhalten wird das Signal DRQ (DMA-Anforderung) vom FDC über A42 [A44] verzögert, und über den Treiber 8216 A3 [A39] mit DRQ2 des DMA verbunden. Das Quit-

tungssignal DACK2 des DMA wird gemeinsam mit Bit 7 des Steuerregisters A12 [A31], verknüpft an A40/8 [A18/8], dem FDC-Schaltkreis zugeführt und setzt ausserdem das Verzögerungs-FF A42 [A44] zurück. Das Blockendesignal TC vom DMA-Schaltkreis gelangt nur in Verbindung mit DACK2 vom DMA zum FDC, da der DMA nur ein Blockendesignal besitzt. TC und DACK2 wiederum werden nur freigegeben, wenn Bit 7 des Steuerregisters LOW gesetzt ist. Ansonsten ist dieses Bit HIGH und verhindert eine Störung bzw. Beeinflussung des FDC 8272.
Die Übertragung von Daten geschieht folgendermassen: Der FDC sendet das Signal DRQ (DMA-Anforderung) zum DMA-Schaltkreis auf der Systemplatine, welches mit /DACK2 bestätigt wird. Der DMA meldet nun seinerseits die BUS-Anforderung bei der CPU an. Erteilt die CPU dem DMA die BUS-Herrschaft, erfolgt der Datenaustausch zwischen FDC und Speicher oder umgekehrt über den DMA. Hat der DMA ein Byte übertragen, gibt er die BUS-Herrschaft an die CPU zurück und wartet darauf, dass er vom FDC die Anforderung für die Übertragung des nächsten Bytes erhält. Dieser Vorgang wiederholt sich bis zur Beendigung eines Übertragungszyklusses, der mit Senden des Signales TC (Terminal Count) vom DMA zum FDC abgeschlossen wird.
Das Interruptsignal vom FDC wird durch IRQ über den Treiber 8216 A3 [A39] mit dem Interrupt-Controller auf der Systemplatine (hier IRQ6) verbunden. Interrupts werden erzeugt bei:

- Datenlesen
- Spur lesen
- ID-Feld lesen
- Daten schreiben
- Spur formatieren
- Vergleichen
- Suchen
- Recalibrieren (Schreib-/Lesekopf auf Spur 00)

4.3. Toradressen

Abfrage der Schalterstellungen (S1): 3F4
Motor-EIN-AUS : 3F6 (D0 ≙ LW0,...D3 ≙ LW3)
Statusregister : 3F4 (siehe Pkt. 4.2.4.)
FDC : 3F0, 3F1

5. Kontaktbelegung der Steckverbinder, Kurzzeichenübersicht

Steckverbinder X1: siehe Busrichtlinie PC EC 1834

Steckverbinder X2:

PIN	Kurzzeichen	PIN	Kurzzeichen
1	/RDYL	12	/M03
2	/HDSEL	13	/IX
3	/RD	14	/SE3
4	/WP	15	/LCT
5	/T0	16	/FR
6	/WE	17	/TS
7	/WD	18	/FW
8	/ST	19	/HL
9	/SD	20...35	00
10	/M02	36	5P
11	/SE2	37	/RESET

Verteilerleiste X3 (X4):

PIN	Kurzzeichen	PIN	Kurzzeichen
1	00	18	/SD
2	00	19	00
3	00	20	/ST
4	--	21	00
5	00	22	/WD
6	00	23	00
7	00	24	/WE
8	/IX	25	00
9	00	26	/TO
10	/M01(/M03)	27	00
11	00	28	/WP
12	/SE0(/SE2)	29	00
13	00	30	/RD
14	/SE1(/SE3	31	00
15	00	32	/HDSEL
16	/M00(/M02)	33	00
17	00	34	/RDYL

Kurzzeichenübersicht

A0 - A9	Adressbit 0 - 9	PRE	Präkompensation
CLK	Takt für FDC	PSx	Präkomp. v. FDC
D0 - D7	Datenbit 0 - 7	RDD	Lesedaten f. FDC
DACK2	DMA-Bestätigung 2	RESET(RE)	Rücksetzen
DRQ2	DMA-Anforderung 2	RD	Lesedaten
DSx	Laufw.-Ausw. v. FDC	RDYL	Laufwerk bereit
DW	Datenfenster	RW/BE	Lesen-Schreiben/ Suchen
DWD	verz. Schreibdaten		
FIX	Indexausblendung	SEx	Laufwerksauswahl
SD	Schrittrichtung	ST	Schritt
FO	Format	TA	Toradresse
FOS	Format synchronis.	TA2	Takt 2 MHz
FR	Fehler Rücksetzen	TA3	Takt 2,666 MHz
FW	Schreibfehler	TA4	Takt 4 MHz
HDL	Kopfandruck v. FDC	TA8	Takt 8 MHz
HL	Kopfandruck	TIMEx	Präkompensations- zeiteinstellung
HDSEL	Kopfauswahl		
IOR	Tor-Lesen	TC	Blockende
IOW	Tor-Schreiben	TS	doppelseitiges Medium
IRQ6	Unterbr.-anford. 6		
IDX	Index f. FDC	TO	Spur Null
IX	Index	UESEL	Auswahlfreigabe
LCT	Schreibstromumschltg.	WD	Schreibdaten
MFM	doppelte Aufzeichnungs- dichte (modifiz. Frequ.- modulation)	WE	Schreiberlaubnis
		WP	Schreibschutz
		WRCLK	Schreibtakt f. FDC
MOx	Motoreinschaltung	WRD	Schreibdaten v. FDC

6. Einstellvorschrift

6.1. DIL-Schalter

Über den Konfigurationsschalter S1 können bestimmte Zustände der FD-Steuerung eingestellt werden, z.B. unterschiedliche FD-Controller-schaltkreise:

S 1:8 EIN bei U 8272 D C04 (4 MHz-Variante)
S 1:8 AUS bei U 8272 D C08 (8 MHz-Variante)
S 1:2 bis S 1:7 AUS
S 1:1 EIN (Abfrage /RDYL vom Laufwerk)

Schalterstellung S2 (S2 dient nur zu Prüfzwecken):

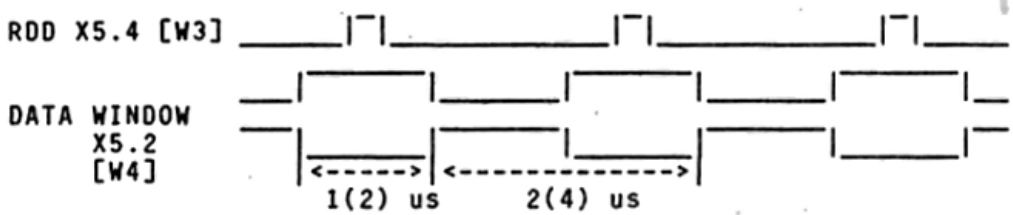
S 2:1 AUS
S 2:2 EIN

6.2. Einstellung der PLL

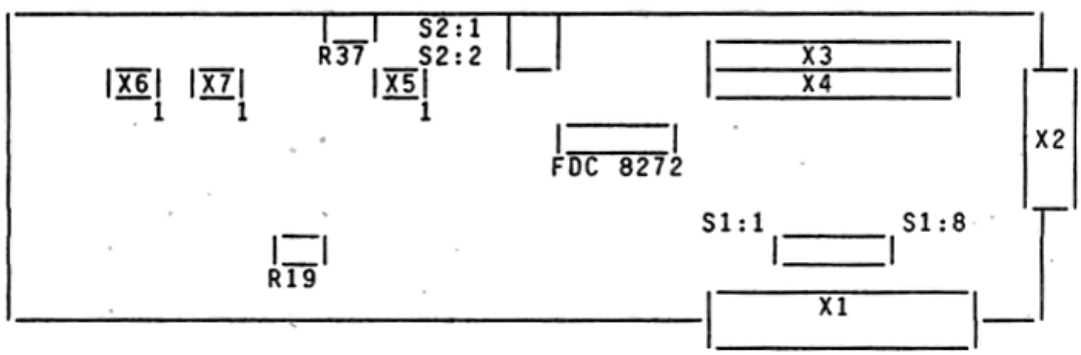
Die Freilauffrequenz des Oszillators (ohne Lesedaten) wird am Regler R37 [R46] (470 Ohm) auf 2000 kHz ± 2 kHz eingestellt. Messpunkt ist X5:1 [W5].

6.3. Einstellung des Read-Data-Impulses

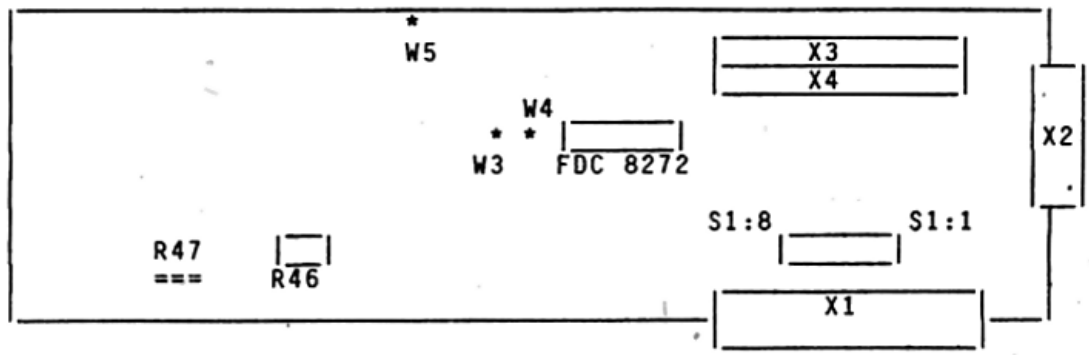
1. Strahl 1 des Oszillographen an Messpunkt X5.2 [W4] (data window)
2. Strahl 2 des Oszillographen an Messpunkt X5.4 [W3] (RDD)
3. Mit Regler R19 [R47] (10 kOhm) wird der RDD-Impuls in die Mitte des Data-Window-Raumes gelegt



FD-Adapter Stand 1988:



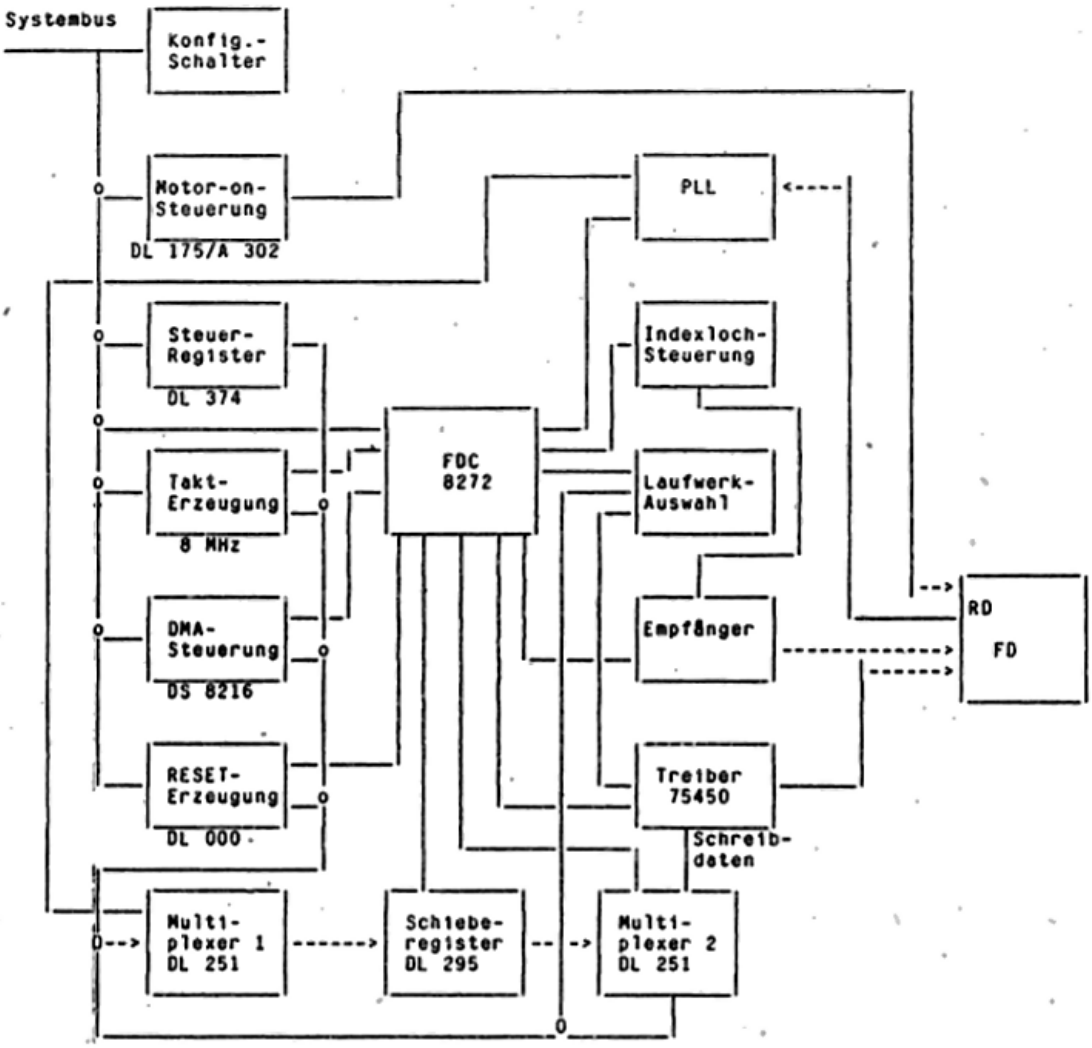
FD-Adapter Stand 1986[]:



7. Wartungsvorschrift

Der Floppy-Disk-Controller ist wartungsfrei.

Blockschaltbild FD-Steuerung



****

Technische Beschreibung

F l o p p y - D i s k robotron K 5601
Personalcomputer robotron EC 1834

****

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
2.1. Abmessungen/Masse
2.2. Umgebungsbedingungen
2.3. Stromversorgung
2.4. Signalinterface
2.5. Leistungsparameter
3. Elektronisches Interface
3.1. Allgemeines
3.2. Ein- und Ausgabesignale
3.3. Masseverbindung
4. Montage- und Einstellvorschrift/Betriebsbedingungen
4.1, Brücken
4.2. Steuerung der Frontplattenanzeige
4.3. Steuerung des Direktantriebes
5. Wartungsvorschrift

1.62.540123.3 (GER)
085-3-000
853.53.01.001

Stand: 03/88

1. Verwendung und Einordnung

Der Diskettenspeicher robotron K 5601 ist ein externer Speicher mit wahlfreiem Zugriff und hoher Datenkapazität. Die Diskette kann doppelseitig und mit doppelter Spurdichte beschrieben werden, so dass auf einer Diskette Daten bis zu einem Megabyte (unformatiert) gespeichert werden können.
Der Diskettenspeicher benötigt eine externe Stromversorgung. Er realisiert alle zum Informationsaustausch mit dem Rechner notwendigen Steuer- und Regelungsvorgänge selbständig. Der Anschluss an den Rechnerbus muss über eine Anpass-Schaltung erfolgen.
Als Datenträger dürfen nur klassifizierte Disketten mit 5,25" Durchmesser verwendet werden, wenn diese vom Hersteller für die doppelseitige Arbeit mit doppelter Aufzeichnungsdichte und doppelter Spurdichte zugelassen wurden.

2. Technische Daten

2.1. Abmessungen/Masse

- Abmessungen: (ohne Frontblende)

Länge	203 mm
Breite	146 mm
Höhe	41,5 mm

- Masse: 1,3 kg

2.2. Umgebungsbedingungen

Die Klassifizierung des Diskettenspeichers K 5601 nach TGL 26465 ist:
EK3 / TK2 / G21 / S21 / TM1...4

	Betrieb	Lagerung	Transport
Umgebungstemperatur /Grad C	10... 50	5... 35	-50 ... 60
relative Luftfeuchte	30% ... 80% bei max. 30 Grad C nicht kondens.	25°C / 85%	30°C / 95%
Dauer	nicht eingeschränkt	max. 3 Monate	max. 3 Monate
Atmosphärischer Druck /kPa	84 ... 107	84 ... 107	36 ... 107
Temperaturgradient / K/h	≤15	≤30	≤30

2.3. Stromversorgung

Zum Betrieb des Diskettenspeichers sind die Spannungen +5V und +12V notwendig. Folg. Parameter sind einzuhalten:

Spannung	+5V	+12V
zulässige Toleranz	± 5%	± 5%
zulässige Brummspannung (einschl. Rauschen)	≤100 mV Spitze-Spitze	≤100 mV Spitze-Spitze
Stromaufnahme bei Betrieb		
typ.	< 0,4 A	< 0,3 A
max.	0,5 A	1,0 A
Leistungsverbrauch		
typ.	< 10,0 W	

Belegung des indirekten 4-poligen Steckverbinders für die Betriebsspannungen:

Spannung	Kontakt
+12V	1
0V	2, 3
+5V	4

2.4. Signalinterface

Die Interfacesignale werden über einen direkten 34-poligen Steckverbinder zugeführt. (siehe Bild 1)

Signalbezeichnung		Kontakt	0 Volt Bezugspotential
frei		2	1
/IN USE	in Betrieb	4	3
/DS3	Auswahl d. Speichers 3	6	5
/IX	Index	8	7
/DS0	Auswahl d. Speichers 0	10	9
/DS1	Auswahl d. Speichers 1	12	11
/DS2	Auswahl d. Speichers 2	14	13
/MO	Motor ein	16	15
/SD	Schrittrichtung	18	17
/ST	Schritt	20	19
/WD	Schreibdaten	22	21
/WG	Schreibbefehl	24	23
/T0	Spur 00	26	25
/WP	Schreibsperre	28	27
/RD	Wiedergabedaten	30	29
/SS	Kopfauswahl	32	31
/RDY	Laufwerk bereit	34	33

Laufwerkseitiger direkter Steckverbinder:
je Leiterplattenseite 17 Kontakte = 34 Kontakte
Teilung 2.54 mm
Kodierschlitz zwischen Kontakt 4 und 6 (3 und 5)

2.5. Leistungsparameter

Abmessung der Diskette (Hülle)	133.3 mm x 133.3 mm
Speicherkapazität je Diskette (unformatiert, MFM-Aufzeichnung)	1 MByte
Anzahl der Arbeitsflächen	2
Motorstartzeit	≤ 500 ms
Motornachlaufzeit (Option)	keine
Diskettendrehzahl	300 U/min ± 2%
Kopfzustellzeit	0 ms
Kopfberuhigungszeit	15 ms
Schrittzeit Spur/Spur	3 ms
Spurdichte	96 tpi
Anzahl der Spuren	je Seite 80
Übertragungsrate	125 / 250 kBit/s
Aufzeichnungsverfahren	FM / MFM (SD / DD)
Dauerschalleistungspegel	≤ 55dB AS
Funkentstörung	nach VDE 0871 und TGL 20885/12
Schreibsperre	

3. Elektronisches Interface

3.1. Allgemeines

An eine Anschlusseinheit, die den Rechnerbus mit dem Diskettenspeicher verbindet, können max. vier Laufwerke in Ketten- oder in Sternschaltung angeschlossen werden.Alle Interfacesignale sind LOW-aktiv.

Eingangssignale:			
LOW - Pegel	:	0 ... 0.5	V
Strom für Abschlusswiderstände	:	≤ 18	mA
Strom für Eingangsgatter	:	≤ 3.2	mA
HIGH - Pegel	:	2.5 ... 5.25	V
Ausgabesignale:			
LOW - Pegel	:	0 ... 0.4	V

Abschlusswiderstände:
Die Widerstandsgrösse beträgt 330 Ohm ± 5%.
Die Widerstände für die Leitungen DS0 ... 3 sind fest auf der Interface-Leiterplatte verlötet. Für alle anderen Eingangssignale kann mittels IC-Sockel ein Widerstandsnetzwerk bestückt werden. Bei Auslieferung ist dieses Netzwerk bestückt.

Bei der Zusammenschaltung der Diskettenspeicher in Kette sind die Netzwerke bei allen Laufwerken mit Ausnahme des letzten am Interfacekabel zu entfernen. Bei Anwendung der Sternschaltung dürfen die Netzwerke bei keinen Laufwerk entfernt werden.

3.2. Ein- und Ausgabesignale

Eingabesignale sollen im folgenden die Signale sein, die zum Diskettenspeicher gesendet werden, während die Ausgabesignale vom Diskettenspeicher gesendet werden.

Eingabesignale:

- /DS0 ... 3 select 0 ... 3

Das Signal dient der Auswahl eines speziellen Diskettenspeichers für die Operation. Nur das /DS-Signal, dessen Brücke auf der Leiterplatte gesteckt ist, ist wirksam.
Wenn das Signal aktiv ist, sind alle Ein- und Ausgabesignale wirksam. Falls das Signal inaktiv ist, sind nur die Signale /MO und /IN USE wirksam.
Max. 0,5. us nach Wirksamwerden des Signales /DS werden auch die anderen Ein- und Ausgabesignale als gültig erkannt.
In Abhängigkeit von der Brückenbestückung kann mit diesem Signal die LED in der Frontblende eingeschaltet werden.

- /MO motor on

Dieses statische Signal dient dem Einschalten des Diskettenantriebes. Der Direktantrieb erreicht seine Nenndrehzahl von 300 U/min 500ms nach Einschalten des Signales.

- /SD step direction

Der Pegel dieses Signales definiert die Richtung der Bewegung des Kopfschlittens, falls auf der /ST-Leitung Impulse gesendet werden. Mit HIGH-Pegel bewegt sich der Schlitten in Richtung Aussenspur, mit LOW-Pegel in Richtung des Diskettenzentrums.

- /ST step

Das impulsförmige Signal dient der Bewegung des Kopfschlittens. Die Impulsbreite muss grösser als 800 ns sein. Der Kopf bewegt sich je Impuls eine Spur.
Die Bewegung des Kopfes wird mit der Rückflanke des Impulses gestartet und ist einschliesslich Kopfberuhigungszeit nach 18ms abgeschlossen. Bei mehreren aufeinanderfolgenden Schritten in einer Richtung kann der Impulsabstand 3 ms betragen. Beim Wechsel der Richtung ist ein Impulsabstand von 18 ms zu garantieren.
Das Signal ist unwirksam, wenn das Signal /WP HIGH und das Signal /WG LOW ist. Das /ST-Signal ist ebenfalls unwirksam, wenn das /T0-Signal LOW ist und nach aussen positioniert werden soll (/SD=HIGH).

- /WG write gate

Mjt Hilfe dieses Signales können die geschriebenen Daten gelöscht und neue Daten aufgezeichnet werden. Das Signal ist unwirksam, wenn das /WP-Signal aktiv ist.
Das Signal soll erst LOW werden, wenn folg. Bedingungen erfüllt sind:

- $\geq$ 500 ms nach dem Einschalten des Antriebs
- $\geq$ 18 ms nach dem letzten wirksamen Schrittimpuls
- $\geq$ 100 us nach einem Pegelwechsel des Signales /SS

Keines der folgenden Signale darf innerhalb 1 ms nach dem Schalten dieses Signales auf HIGH schalten:

- Schalten eines Kommandos zum Stoppen des Motors
- Schalten des Signales /DS zu HIGH
- Start einer Kopfpositionierung durch /ST-Impulse
- Wechsel des Pegels des Signales /SS

- /WD write data

Diese Signal enthält die Daten, die auf Diskette geschrieben werden sollen. Die Impulse sollen 0,1 us bis 2,5 us breit sein. Es wird nur die Vorderflanke der Impulse genutzt.
Dieses Signal ist unwirksam, wenn das /WG-Signal HIGH ist oder wenn das Signal /WP aktiv ist.

- /SS side one select

Das statische Signal dient der Auswahl der Seite der doppelseitigen Diskette, die für das Lesen oder Schreiben genutzt werden soll. Wenn dieses Signal HIGH ist, dann ist der Magnetkopf für die Seite 0 der Diskette (Unterseite) ausgewählt, mit LOW wird der Kopf für Seite 1 (Oberseite) angewählt.
Das /RD-Signal der ausgewählten Seite wird 100 us nach dem Umschalten des Signalpegels gültig.
Wenn nach Abschluss einer Schreiboperation die andere Seite der Diskette ausgewählt werden soll, dann darf der Pegel des Signales /SS erst nach mehr als 1 ms nach Schalten des /WG-Signales auf HIGH schalten. Eine Schreiboperation auf der ausgewählten Seite (/WG = LOW) kann erst nach 100 us nach dem Wechsel des Signalpegels /SS beginnen.

- /IN USE in use

Dieses Signal ist nur wirksam, wenn die Brücke IU geschlossen ist. Das statische Signal zeigt an, dass alle Diskettenspeicher in Gebrauch und unter Kontrolle des Wirtssystems sind.
Die Anschaltbedingung der Frontblendenanzeige ist auf dieses Signal bezogen.

Ausgabesignale:

- /T0 track 00

Das statische Signal zeigt an, dass sich der Kopfschlitten in der Spur 00 (in der äussersten Spur) befindet. Das Signal wird nach mehr als 2,8 ms nach dem wirksamen /ST-Impuls gültig.

- /IX index / sector

Das impulsförmige Signal dient zur Erkennung der Indexlöcher. Dieses Signal kann 500 ms nach dem Start des Direktantriebs in exakten Zeiten ausgegeben werden, falls eine Diskette eingelegt ist.
Wenn eine soft-sektorierte Diskette eingelegt ist, dann wird während einer Umdrehung der Diskette ein Indeximpuls gesendet. Die Vorderflanke des Signales wird als Bezugspunkt genutzt.

- /RD read data

Das impulsförmige Signal enthält die Lesedaten der Diskette, die sich aus Takt- und Datenbits zusammensetzen. Die Vorderflanke des Impulses wird zum Bezug genutzt.
Dieses Signal wird gültig, wenn folg. Bedingungen erfüllt sind:

- Diskettenspeicher ist im RDY-Zustand.
- $\geq$ 18 ms nach dem letzten wirksamen /ST-Impuls.
- $\geq$ 1 ms nachdem das Signal /WG HIGH wurde.
- $\geq$ 100 us nach Umschalten des Pegels des Signales /SS

- /WP write protect

Das statische Signal dient der Anzeige, dass die Schreibgenehmigungsöffnung der Diskette maskiert ist.
Wenn dieses Signal aktiv ist, dann sind die Daten vor Löschen geschützt, und das Schreiben neuer Daten wird verhindert.

- /RDY ready

Das statische Signal zeigt an, dass das Laufwerk in Bereitschaft zum Schreiben und Lesen ist. Der Diskettenspeicher geht bei Verwendung einer softsektorierten Diskette in den Bereitschaftszustand, wenn folg. Bedingungen erfüllt sind:

- die Spannungen +5 V und +12 V liegen an

- die Diskette ist eingelegt und ein Motorstart-Kommando ist aktiv
- der /IX-Impulsabstand ist grösser als 50% des Sollwertes und danach sind zwei IX-Impulse gezählt worden
- der IX-Impusabstand ist innerhalb des Bereiches von ±6 % des Sollwertes

Das Signal wird nach ≤ 800 ms nach dem Start des Direktantriebes LOW. Dennoch erreicht der Antriebsmotor die Nenndrehzahl innerhalb von 500 ms nach dem Start, und Datenlese- und -schreiboperationen können ausgeführt werden, bevor das Signal /RDY LOW wird.
Das Signal /RDY schaltet innerhalb von 0,3 ms nach Abschalten von /MO auf HIGH.

3.3. Masseverbindung

Das Chassis des Diskettenspeichers ist elektrisch mit 0 V Gleichspannung durch die Brücke FG auf der Interfaceleiterplatte verbunden. Das Laufwerk wird mit geschlossener Brücke FG ausgeliefert.

4. Montage- und Einstellvorschrift/Betriebsbedingungen

4.1. Brücken

Sämtliche Brücken sind auf der Interfaceleiterplatte des Laufwerkes montiert. Das Einsetzen der Kurzschlussbrücke wird als EIN-Zustand der Brücke definiert.

Bei Einbau der Laufwerke in den EC 1834 sind folgende Brücken bestückt:
DS1 - Auswahl erfolgt durch Kabel
RY - Ausgabe RDY-Signal an PIN 34
FG - FRAME GROUNDING (LW-Rahmen elektrisch mit 0V verbunden)
ML - Spindelmotor einschalten mit DRIVE SELECT (DS)
EO - Signal /IX wird unabhängig vom RDY - Zustand ausgegeben

- Brücken DS0...3:
Bei der Schaltung der Diskettenspeicher in Kette wird durch diese Brücken die Adresse des Laufwerkes festgelegt, d. h., es sind max. vier Laufwerke adressierbar. Es dürfen niemals zwei Laufwerke dieselbe Adresse haben!

- Brücken IU=AUS / HL=AUS
Die Brücken dienen der Auswahl des Signales am Kontakt 4 des Interfacesteckers. HL ist nicht genutzt. Wenn die IU-Brücke EIN ist, dann dient das Signal am Kontakt 4 der Steuerung der Front-LED (in Verbindung mit Brücken DS0...3, U1 und U2).

- Brücken U1=AUS / U2=AUS
Die Brücken dienen der Steuerung der Front-LED.

- Brücken RY=EIN / XT=AUS
Die Brücken dienen der Auswahl der Funktion des Kontaktes 34 des Interfacesteckverbinders. Wenn die Brücke RY geschlossen ist, wird das Signal /RDY an Kontakt 34 ausgegeben. Falls die Brücke XT EIN ist, wird an Kontakt 34 ständig LOW ausgegeben.

- Brücke ML=EIN
Die Brücke dient der Festlegung der Bedingungen für die Motorrotation. Bei offener Brücke rotiert der Motor nur bei aktivem Signal /MO. Falls die Brücke geschlossen ist, dreht der Motor mit aktivem Signal /MO oder während die Front-LED an ist.
- Brücke RE=AUS
Bei geschlossener Brücke ist die automatische Recalibrierung eingeschaltet, d.h., nach dem Zuschalten der Spannung positioniert der Schlitten selbständig in die Spur 00. Dafür sind max. 255 ms erforderlich. Während dieser Zeit ist der Speicher nicht im RDY-Zustand.

- Brücken E0=EIN / E2=AUS
Mit Hilfe dieser Brücken können die Ausgabebedingungen für die Signale /IX und /RD festgelegt werden.
Wenn die Brücke E0 EIN ist, wird das Signal unabhängig vom RDY-Zustand des Laufwerkes ausgegeben. Falls die Brücke nicht bestückt ist, wird das Signal nur bei aktiven RDY-Signal ausgegeben.
Wenn die Brücke E2 EIN ist, wird das Signal /RD nur ausgegeben, wenn das Laufwerk im RDY-Zustand ist. Bei nicht bestückter Brücke wird das Signal unabhängig vom RDY-Zustand ausgegeben.
Im Auslieferungszustand (E0=EIN / E2=AUS) werden beide Signale bei ausgewähltem Laufwerk ausgegeben.

- Brücke FG=EIN
Die Brücke verbindet das Chassis elektrisch mit 0V Gleichstrom.

4.2. Steuerung der Frontplattenanzeige

Die Anzeige schaltet ein, während DS0...3 aktiv ist.
---> Brü DS0...3 geschlossen

4.3. Steuerung des Direktantriebes

Der Direktantrieb beginnt mit der Rotation, wenn eine der folgenden Bedingungen erfüllt ist:

- Drehung durch externes Kommando:
  Der Direktantrieb rotiert, wenn das Signal /MO zum Start des Motors aktiv oder die Front-LED eingeschaltet ist.

- Automatische Drehung durch interne Schaltung
  Die automatische Drehung wird beim Einlegen einer Diskette zur besseren Zentrierung gestartet.

5. Wartungvorschrift

Der Diskettenspeicher ist wartungsfrei.

****

Technische Beschreibung

H a r d - D i s k - C o n t r o l l e r (Typ 62-9315)
Personalcomputer robotron EC 1834

****

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Allgemeine Übersicht
4.2. Beschreibung der Funktionsgruppen
4.2.1. Adressdecodierung
4.2.2. Pufferspeicher und Adresszähler
4.2.3. DMA- und INT-Anforderung
4.2.4. ECC-Generator
4.2.5. Festspeicher für ROM-BIOS
4.2.6. WDC-Schaltkreis 82062
4.2.7. Schreibsteuerung mit precompensation
4.2.8. Lesesteuerung mit Phasenregelkreis
4.2.9. Anpassung der Status- und Steuerleitungen
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift
7. Wartungsvorschrift

1.62.540126.6 (GER)
085-3-000
852.53.01.007

Stand: 03/88

1. Verwendung und Einordnung

Der Hard-Disk-Controller ist eine Steckkarte, welche den Anschluss von maximal zwei Hard-Disk-Drives 5,25" (Festplattenspeicher) an den Systembus des PC EC 1834 realisiert. Derzeitig ist jedoch nur der Einsatz eines Laufwerkes im PC vorgesehen.
Es können alle Typen von 5,25"-Festplattenspeichern angeschlossen werden, welche das international gebräuchliche Seagate-Interface ST 506/412 besitzen. Zur Serienausstattung des PC EC 1834 gehört der Festplattenspeicher K 5504.
Die Steuerung der wichtigsten Funktionen auf dem Controller übernimmt ein Controller-Schaltkreis. Er setzt u. a. die Paralleldaten vom Mikroprozessorsystem zu einem bitseriellen Datenfluss um (und umgekehrt) und liefert alle für die Steuerlogik erforderlichen Steuersignale.

2. Technische Daten

Steckkarte	360 mm x 100 mm MLL III
Steckverbinder	1 x Buchsenleiste X1 402-96 EBS-GO 4007 1 x Stecker X2 2-polig, Bauform 202 1 x Scotchflex-Steckerleiste X3 34-31-6302, 34-polig 1 x Scotchflex-Steckerleiste X4 3428-6302, 20-polig
Betriebsspannungen	5P (+5V ± 5%) 5N (-5V ± 5%) 00 (Masse)
Laufwerksinterface	entspr. Seagate ST 506/412
Datentransferrate	5 Mbit pro Sekunde
Aufzeichnungsverfahren	MFM
Sektorlänge	128 Byte/256 Byte/512 Byte, wobei das Betriebssystem DCP nur eine Sektorlänge von 512 Byte realisiert
Fehlererkennung	ECC-Zeichenbildung (hardwaremässig)

3. Konstruktiver Aufbau

Der Hard-Disk-Controller 062-9315 ist eine Mehrlagenleiterplatte der Grösse 360 mm x 100 mm. Die Verbindung zum Systembus des PC übernimmt die 96-polige indirekte Buchsenleiste X1. Über den Stekker X2 wird die separat in der Frontblende der Systemeinheit befindliche Hard-Disk-Anzeige gesteuert. Die vertikal angeordneten Steckerleisten X3 und X4 dienen dem Signalaustausch zwischen Controller und Festplattenspeicher. Während über X3 die Status- und Steuerleitungen geschaltet werden, ist X4 für die Datenleitungen zuständig.
Die Steckkarte ist so vorbereitet, dass zusätzliche Steckverbinder für ein weiteres Laufwerk eingelötet werden können bzw. über einen

z. Zt. noch nicht vorhandenen Prüfsteckverbinder (X6) ein Prüfgerät für die PLL-Einstellung angeschlossen werden kann.
Über Präzisionsfassungen steckbar sind der Controller-Schaltkreis WDC 82062 sowie ein 8 kByte-EPROM für den Hard-Disk-BIOS (physischer Gerätetreiber).

4. Funktionsbeschreibung

4.1. Allgemeine Übersicht

Die wichtigsten Funktionsgruppen auf dem Hard-Disk-Controller sind:
- Adressdecodierung
- Pufferspeicher und Adresszähler
- DMA-/INT-Anforderung
- ECC-Generator
- Festspeicher für BIOS des Hard-Disk
- WDC-Schaltkreis 82062
- Schreibsteuerung mit precompensation
- Lesesteuerung mit Phasenregelkreis (PLL)
- Anpassung der Status- und Steuerleitungen

Blockschaltbild: siehe Extrablatt

4.2. Beschreibung der Funktionsgruppen

4.2.1. Adressdecodierung

Die Adressierung des HDC erfolgt über drei Decodierschaltkreise U205 [041...043]. Ausnahme bildet die Adressdecodierung für EPROM [022] und nachfolgendem Latch-Register [002], welche über ein NAND [013] realisiert wird.
Der festgelegte Toradressbereich liegt bei 320H...32Fh. Eine ausgewählte Adresse im E/A-Zyklus kann nur dann aktiv sein, wenn der DMA nicht arbeitet(AEN=0).
Folgende Festlegungen gelten:

Toradresse	
320H	Bildung CS des Pufferspeichers [004,005]
321H	Bildung Übernahmesignal des 1. Registers für Steuerleitungen [061]
322H	Bildung Übernahmesignal des 2. Registers für Steuerleitungen [062]
323H	Bildung DRQ3 (DMA-Anforderung) [044]
324H	Auslesen der ECC-Zeichen [014]
325H	Abfrage der Konfigurationsschalter [052]
326H	Aktivschalten von Steuersignalen f. HD [044]
327H	Sperren der Takteingänge der Adresszähler [007,017]
328H	Registeradressierung im WDC-Schaltkreis [064]

4.2.2. Pufferspeicher und Adresszähler

Da zwischen dem DMA bzw. der CPU und dem WDC-Schaltkreis keine Synchronisation möglich ist, müssen die zu übertragenden Daten zwischengepuffert werden. Der dafür erforderliche Pufferspeicher besteht aus zwei statischen RAM-Schaltkreisen und hat die Grösse von 1 K x 8 bit.

Die Adressierung des Speichers wird über drei Zähler realisiert [006,007,017], deren Zählerstand mit jedem Schreib- bzw. Lesezyklus der CPU, des DMA bzw. des WDC-Schaltkreises um eins erhöht wird. Das Rücksetzen erfolgt vor jeder Datenübertragung durch den Controllerschaltkreis (/BCR=0) bzw. softwaremässig über die CPU.
In Abhängigkeit vom Potential am Eingang /WE der Speicherschaltkreise werden die Daten des internen Datenbusses in die ausgewählte Adresse eingeschrieben bzw. von dieser Adresse auf den Datenbus gelegt.

4.2.3. DMA- und INT-Anforderung

Durch einen I/O-Befehl mit der Adresse 323H wird das FF 044 gesetzt und damit das DMA-Anforderungssignal DRQ3 erzeugt. Das Rücksetzen dieses FF's erfolgt bei der Übertragung des letzten Bytes mit den DMA-Signalen /DACK3 und TC.
Eine Interrupt-Anforderung wird seitens des WDC über die Leitung IRQ5 gemeldet. Dieses Signal kann durch Aktivieren der Ausgänge INT oder BDRQ (Buffer Data Request) vom Controller-Schaltkreis gebildet werden.

4.2.4. ECC-Generator

Gleichzeitig mit dem Beschreiben des Pufferspeichers vom WDC-Schaltkreis, von der CPU oder von der DMA wird eine ECC-Zeichenberechnung nach dem Polynom $X^{32}+X^{28}+X^{26}+X^{19}+X^{17}+X^{10}+X^{6}+X^{2}+1$ durchgeführt. Jeweils ein Byte wird in das Schieberegister 014 des ECC-Generators übernommen und mit acht Takten durch den Generator geschoben.
Neben dem Schieberegister 014 zur Parallel-Serien-Wandlung und umgekehrt gehören zum ECC-Generator weitere vier Schieberegister in serieller Arbeitsweise [053...056], deren Ausgänge an einen Paritätsdecoder [057] geführt sind. Die Freigabe der Taktierung mit dem negierten 10 MHz-Takt erfolgt durch Setzen des FF 046. Nach vier Takten werden, ausgelöst vom Zähler 027, die FF's zurückgesetzt. Nach weiteren vier Takten wird die Taktierung gesperrt. Dieser Ablauf wiederholt sich bei der Übernahme eines jeden Bytes.
Handelt es sich um eine Datenübertragung vom Rechner zum Hard-Disk, werden die Daten eines gesamten Sektors (512 Byte) durch die DMA oder durch OUT 320H in den Pufferspeicher geschrieben. Die ECC-Zeichenberechnung erfolgt während der Übertragung automatisch. Anschliessend werden softwaremässig drei Blindbytes (00H) in den Pufferspeicher eingetragen. Über alle 512 Bytes werden vier ECC-Zeichen berechnet, welche jetzt durch 5 x IN 324H über das Schieberegister 014 ausgelesen werden. Dabei ist das erste ausgelesene Byte zu verwerfen. Diese vier ECC-Zeichen gelangen ebenfalls in den Pufferspeicher. Damit stehen zur Übertragung eines Sektors auf den Hard-Disk insgesamt 519 Byte im Pufferspeicher zur Verfügung.
Die Datenübertragung vom Hard-Disk zum Rechner ist ähnlich. Ist die Bereitschaft zur ECC-Zeichenberechnung hergestellt, kann die Sektorübertragung vom WDC gestartet werden. Der WDC-Schaltkreis gewährleistet, dass bei gleichzeitiger Berechnung der ECC-Zeichen alle 519 Byte in den Pufferspeicher eingeschrieben werden. Nach Beendigung der Übertragung meldet der WDC-Schaltkreis Interrupt, und die ECC-Zeichen werden analog dem oben beschriebenen Vorgang ausgelesen. Haben dabei alle vier ECC-Bytes den Inhalt 00H, erfolgte die Übertragung fehlerfrei. Ist dies nicht der Fall, muss

eine softwaremässige Korrekturrechnung durchgeführt werden, wobei einmalige Fehlerbündel bis zu elf Bit korrigierbar sind. Für die Korrekturrechnung steht eine 1 KByte lange ECC-Tabelle im ROM-BIOS-Teil des Hard-Disk zur Verfügung.

4.2.5. Festspeicher für ROM-BIOS

Entsprechend der international üblichen Praxis wurde der physische Gerätetreiber für den HDC in einem Festwertspeicher auf dem Hard-Disk-Controller selbst untergebracht. Die Aktivierung der Schaltkreise 022 und 002 erfolgt wie unter 4.2.1. beschrieben.

4.2.6. WDC-Schaltkreis 82062

Der Kern des Hard-Disk-Controllers ist der Schaltkreis 82062. Er realisiert u. a. folgende Aufgaben:
- Parallel-Serien-Wandlung (MFM-codiert, 5 MBit/s)
- Serien-Parallel-Wandlung (1,6 us/Byte)
- Markenerkennung
- CRC-Zeichen-Erzeugung und -Kontrolle für ID-Feld
- Generierung von Steuersignalen für den Hard-Disk
- Empfangen von Statussignalen vom Hard-Disk
- Erzeugung von Steuersignalen für die Schreiblogik und PLL
- Erzeugung von Steuersignalen für den Pufferspeicher

Der Schaltkreis kann folgende sechs Befehle nach Parameterübergabe durch die CPU ausführen:

- Restore	Positionieren auf Spur 00
- Seek	Positionieren auf eine gewünschte Spur
- Read Sector	
- Write Sector	
- Scan ID	Lesen eines beliebigen ID-Feldes
- Write Format	Formatieren einer Spur

Beschreibung der Prozessorschnittstelle des WDC 82062

Über einen 8-bit-bidirektionalen Datenbus ist die Verbindung von der CPU zum Datenpuffer gewährleistet. Ist das Signal /BCS=LOW, kann der Prozessor auf den Puffer, den WDC bzw. die E/A-Ports zugreifen. Ist /BCS inaktiv, führt der Controller-Schaltkreis eine Datenübertragung aus, und die Steuersignale /IOR und /IOW werden vom Bus entkoppelt, so dass der WDC mit seinen Signalen /RD bzw. /WR auf den Datenpuffer sequentiell zugreifen kann. Vor jeder Datenübertragung wird der Pufferzähler mit dem Signal /BCR auf Null gesetzt.

Beschreibung der WDC-Schnittstelle zum Hard-Disk-Laufwerk

Wenn keine Daten erwartet werden, ist das Signal RG inaktiv auf LOW, und die PLL läuft am fixen Takt von 10 MHz. Das Monoflop 092 bildet durch ankommende Lesedaten 250 ns breite Impulse. Am Beginn des Lesevorganges erscheinen, bedingt durch Vornullen, aller 200 ns Takte. Damit wird das Monoflop ständig nachgetriggert, und die Leitung DRUN schaltet nach HIGH. Erkennt der WDC dieses Potential über mindestens zwei Byte Länge (3,2 us), schaltet er das Signal RG aktiv nach HIGH, und die PLL läuft an den Lesedaten. Dieser Vorgang wird wieder umgekehrt, wenn DRUN sein Potential erneut

ändert.
Eine Ausnahme bildet die Markenerkennung. War das Signal DRUN mindestens neun Byte lang aktiv, und der WDC empfängt vom Hard-Disk eine ID-Feld-Marke (A1), bleibt RG während des Lesens des gesamten ID-Feldes aktiv, unabhängig vom Potential auf der Leitung DRUN. Analog verläuft der Vorgang beim Erkennen einer Datenfeld-Marke (A1,F8).

4.2.7. Schreibsteuerung mit precompensation

Ein Taktgenerator erzeugt einen quarzstabilen Takt von 10 MHz [Q1,067]. Dieser wird durch ein FF geteilt, und es entsteht der Schreibtakt WCL mit einer Frequenz von 5 MHz.
Der WDC-Schaltkreis gibt bei Abarbeitung eines Schreibbefehls die Schreibdaten WDA seriell aus und stellt dazu die Informationen /E (early) und /L (late) bereit, um den Schreibimpuls gegebenenfalls um 10 ns- bzw. 15 ns-Einheiten zu verschieben. Die WDA-Impulse werden über einen Verzögerungsschaltkreis [093] geleitet, an welchem diese in 5 ns-Verzögerungsstufen wieder abgegriffen werden können. Ein 1-aus-8-Multiplexer [103], der durch EARLY, LATE und INPRE adressiert wird, bestimmt letztendlich, um wieviel Nanosekunden Verzögerung die Schreibdaten zum Sendeschaltkreis 2631 [127] und somit zum Hard-Disk gelangen können. Eine zeitliche Verschiebung bestimmter Schreibimpulse ist in Abhängigkeit vom Hard-Disk erforderlich, um physisch bedingte Eigenschaften des magnetischen Speichermediums auszugleichen.

Folgende Verzögerungen können in der precompensations-Schaltung erreicht werden:

	normale PRE	+ zusätzlich INPRE
1. Grundstellung PRE=LOW /E=HIGH, /L=HIGH	15 ns	20 ns
2. Schreibimpuls später PRE=LOW /E=HIGH, /L=LOW	25 ns	35 ns
3. Schreibimpuls früer PRE=HIGH /E=LOW, /L=HIGH	5 ns	5 ns

Über die Leitung PRE wird softwaremässig festgelegt, ab welcher Spur des Hard-Disk die precompensation wirken soll. Bei PRE=LOW findet keine Impulsverschiebung statt; damit sind die Verzögerungswerte der Grundstellung gültig. In Abhängigkeit vom Typ des Hard-Disk-Drive kann ebenfalls softwaremässig festgelegt werden, ob eine intensive precompensation durchgeführt werden muss (INPRE=HIGH).

4.2.8. Lesesteuerung mit Phasenregelkreis

Die Lesedaten gelangen vom Hard-Disk über den Empfängerschaltkreis 2632 [126] zu einem Multiplexer [113], welcher selektiert, ob es Daten vom Laufwerk 0 oder 1 sind. Entsprechend der Beschreibung unter Punkt 4.2.6. wird über DRUN=HIGH das Signal RG aktiv. Der Multiplexer 113 gibt die Lesedaten zum Verzögerungsglied [093] und zur PLL frei.
Die um etwa 60 ns verzögerten Lesedaten setzen das erste Leseda-

ten-FF [077]. Mit dem von der PLL erzeugten synchronen Lesetakt wird die Information des ersten Lesedaten-FF in das zweite Lesedaten-FF [077] übernommen und das erste Lesedaten-FF wieder zurückgesetzt. Der Ausgang des zweiten Lesedaten-FF's bildet die Lesedaten RDA für den WDC 82062.
Aus dem 10 MHz-PLL-Takt wird durch FF 087 ein um 90 Grad zu den Lesedaten phasenverschobener 5 MHz-Takt gebildet, welcher den Lesetakt RCL des Controller-Schaltkreises darstellt.

Arbeitsweise des Phasenregelkreises (PLL)

Die PLL, die aus einem Phasendiskriminator, einem Tiefpass, einem Pegelwandler und einem spannungsgesteuerten Oszillator (VCO) besteht, dient zur Erzeugung eines 10 MHz-Taktes, der phasensynchron zu den Lesedaten ist. Eine solche Schaltung ist erforderlich, um eventuelle Gleichlaufschwankungen des Hard-Disk auszugleichen.
Der Phasendiskriminator wertet über die FF's 086 die Phasendifferenz zwischen VCO-Takt und den um 60 ns verzögerten Lesedaten aus. Die Potentiale dieser Flip-Flops steuern über Transistoren einen Tiefpass. Der Pegelwandler setzt das integrierte Signal in einen Spannungsbereich um, der dem Arbeitsbereich des VCO entspricht. Der VCO schwingt entsprechend der angelegten Spannung auf einer Frequenz von 10 MHz ± 30%. Liegen keine Lesedaten an, synchronisiert sich die PLL auf den 10 MHz-Quarztakt. Mit dem Signal RG=HIGH werden die Lesedaten an den Phasendiskriminator geführt, und die PLL synchronisiert sich auf die Lesedaten.

4.2.9. Anpassung der Status- und Steuerleitungen

Die Steuersignale für den Hard-Disk, welche vom Controllerschaltkreis bzw. vom Register 1 für Steuerleitungen [061] bereitgestellt werden, müssen über Schaltkreise 7438 [081,091,101] getrieben werden.
Die Statussignale vom Hard-Disk werden über Widerstände leitungsmässig angepasst und durch Schmitt-Trigger vom Typ DL 014 [102] empfangen.

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Steckverbinder X1: siehe Busrichtlinie PC EC 1834

Steckverbinder X2:

PIN	Kurzzeichen	Bezeichnung
1	/DS0, /DS1	drive select 0, drive select 1
2	5P	5 V positiv

Steckverbinder X3:

PIN	Kurzzeichen	Bezeichnung
1	00	ground
2	/RCW	reduce write current
3	00	
4	/HS2^2	head select 2^2
5	00	
6	/WG	write gate
7	00	
8	/SC	seek complete
9	00	
10	/TR00	track 00
11	00	
12	/WF	write fault
13	00	
14	/HS2^0	head select 2^0
15	00	
16		
17	00	
18	/HS2^1	head select 2^1
19	00	
20	/IX	index
21	00	
22	DRDY	drive ready
23	00	
24	/STEP	step
25	00	
26	/DS0	drive select 0
27	00	
28	/DS1	drive select 1
29	00	
30		
31	00	
32		
33	00	
34	DIR	direction

Steckverbinder X4:

PIN	Kurzzeichen	Bezeichnung
1		
2	00	ground
3		
4	00	
5		
6	00	
7		
8	00	
9		
10		
11	00	
12	00	
13	+WRDA	+ write data
14	-WRDA	- write data
15	00	
16	00	
17	+RDDA	+ read data

PIN	Kurzzeichen	Bezeichnung
18	-RDDA	- read data
19	00	
20	00	

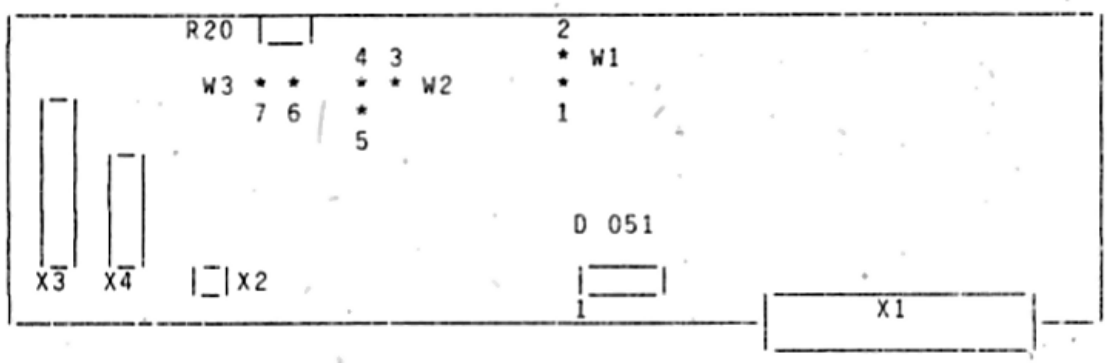
6. Einstellvorschrift

6.1. DIL-Schalter 051

Durch unterschiedliche Schalterstellungen werden verschiedene ROM-BIOS-Tabellen ausgewählt. Damit ist es möglich, unterschiedliche Hard-Disk-Typen im PC EC 1834 einzusetzen.
Bei Einsatz des Hard-Disk K5504 sind alle vier Einzelschalter in die Stellung "EIN" zu bringen.

6.2. Einstellung der PLL

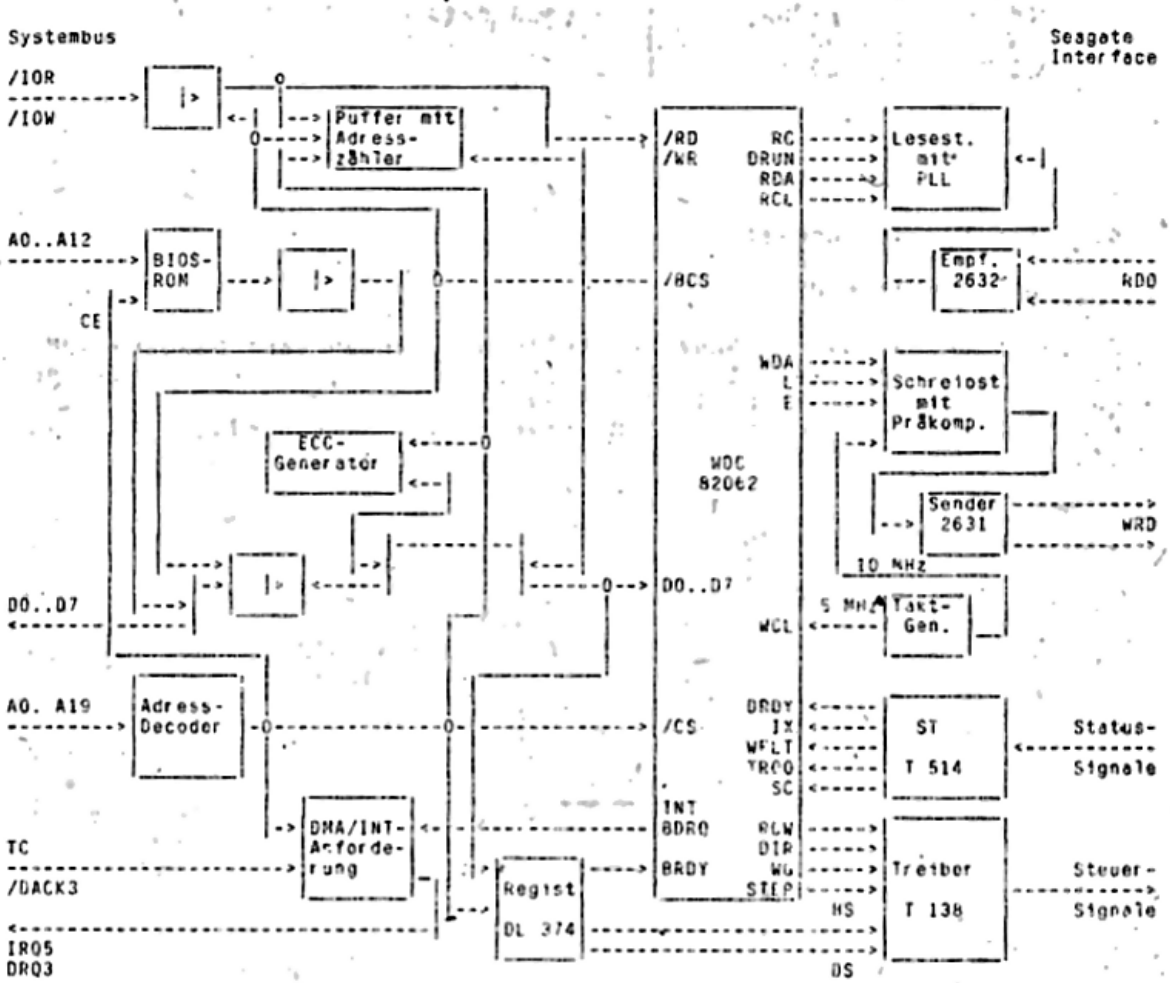
1. Öffnen der Brücken W1 und W3
2. Versetzen der Brücke W2 in Stellung 4-5
3. Über R20 wird der VCO [114] so eingestellt, dass sich am Ausgang 10 eine Frequenz von 10 MHz einstellt.
4. Rücksetzen der Brücke W2 in Stellung 3-4
5. Schliessen der Brücken W1 und W3



7. Wartungsvorschrift

Der HDC ist wartungsfrei.

Blockschaltbild HDC



Technische Beschreibung

H a r d - D i s k robotron K 5504.20
Personalcomputer robotron EC 1834

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Einschaltvorgang
4.2. Laufwerksauswahl
4.3. Spurzugriff
4.4. Kopfauswahl
4.5. Index - Erkennung
4.6. Leseoperation
4.7. Schreiboperation
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift
7. Benutzungshinweise
8. Hinweise zur Behandlung der Festplattenspeicher
9. Störungen und Massnahmen zu deren Beseitigung
10. Wartungsvorschrift

1.62.540125.8
085-3-000
853.53.01.002

Stand: 05/89

1. Verwendung und Einordnung

Der Hard-Disk ist ein leistungsfähiger Festplattenspeicher auf der Basis der Winchester-Technik, welcher auf drehenden, nicht herausnehmbaren starren magnetischen Platten Massendaten aufzeichnen und wiedergeben kann. Dazu werden leichte "fliegende" Schreib-/Leseköpfe benutzt, welche ähnlich wie beim Floppy-Disk genau positioniert werden können.
Der Hard-Disk K 5504.20 ist ein Gerät mit einem Magnetplattendurchmesser von 5,25 Zoll in slim-line-Ausführung bei einer Kapazität von über 20 MByte (formatiert). Im PC EC 1834 wird er als Laufwerk C angesprochen und dient sowohl der Speicherung des Betriebssystems als auch beliebiger Programme und Daten.
Neben dem Hard-Disk K 5504.20 können noch folgende Typen angeschlossen werden: (Dabei ist die Schalterstellung des DIL-Schalters 051 des HDC zur Auswahl der ROM-BIOS-Tabellen zu beachten!)

- K 5504 VS3 ca. 43 MByte unformatiert (820 Zyl./6 Köpfe)
- K 5504.50 ca. 45 MByte unformatiert (1024 Zyl./5 Köpfe)
- Mod. 9415 ca. 30 MByte unformatiert (697 Zyl./5 Köpfe)
  (Control Data)

2. Technische Daten

Kapazität (unformatiert)		
pro Laufwerk	24,44	MByte
pro Oberfläche	6,11	MByte
pro Spur	10416	Byte
Kapazität (formatiert)		
pro Laufwerk	20,4	MByte
pro Oberfläche	5,1	MByte
pro Spur	8,5	kByte
pro Sektor	512	Byte
Sektoren pro Spur	17	
Datenübertragungsrate	5×10^6	bit/s
Physikalische Parameter		
Spindeldrehzahl	3550	U/min $\pm$ 1 %
Aufzeichnungsmethode	MFM	
Aufzeichnungsdichte	381	bit/mm
Spurdichte	25,5	Spuren/mm
Zylinder pro Oberfläche	615	
Lese-/Schreibspuren	2460	
Schreib-/Leseköpfe	4	
Magnetplatten	2	
Interface	SEAGATE	ST 506/412
Zugriffszeiten (Durchschnittswerte, einschl. Kopfberuhigungszeit)		
von Spur zu Spur	35	ms
mittlere	65	ms
max. Spurweite	130	ms
durchschnittl. Latenzzeit	8,45	ms
Betriebsbedingungen		
Umgebungstemperatur	5 ... 45	Grad C
Temperaturgradient	$\leq$ 10	K/h
relative Luftfeuchtigkeit	8 ... 80	%
bei $\leq$ 25 Grad C (nicht kondensierend)		
Höhe über NN	0 ... 7500	m

Stromversorgung				
	+12V ± 5%	typ.	0,7	A
		max. (bei Anlauf)	1,8	A
	+5V ± 5%	typ.	0,6	A
		max.	0,7	A
	Leistungsaufnahme		11	W
	max. Welligkeit		100	mV_{SS}
	Zuschaltreihenfolge		beliebig	
Abmessungen / Masse (ohne Frontblende)				
	Höhe		41,4	mm
	Breite		146,1	mm
	Tiefe		203,2	mm
	Masse		2,0	kg

3. Konstruktiver Aufbau

Die Magnetplatten des Hard-Disk einschliesslich der Köpfe und des Antriebes sind staubdicht verkapselt und von aussen nicht zugängig. Auf der Unterseite ist die Elektronikleiterplatte montiert, welche zwei direkte Steckverbinder für Datenleitungen (J2) und Status- bzw. Steuersignale (J1) besitzt. Zusätzlich ist ein 4-poliger indirekter Steckverbinder (J3) für den Betriebsspannungsanschluss sowie ein Schalterpaket für die Laufwerksauswahl angebracht.
Die Frontseite ist mit einer Plastblende verkleidet, in welcher eine LED den Zugriff auf das Laufwerk anzeigt.

4. Funktionsbeschreibung

4.1. Einschaltvorgang

Sobald die Betriebsspannung +12 V zugeschaltet ist, beginnt die Rotation der Magnetplatten. Nach Erreichen der Solldrehzahl des Spindelmotors wird ein Eichvorgang und das Spur-000-Stellen der Köpfe (Rekalibrierung) ausgeführt. Dabei muss das Eingangsschrittsignal inaktiv sein. Ist der Eichvorgang abgeschlossen, werden nacheinander die Statussignale /TR00, /SC und /DRDY aktiv. Das Gerät führt keine Schreib-, Lese- oder Suchfunktion aus, bevor /DRIVE READY aktiv ist. Der typische Zeitraum, in dem /DRDY nach dem Einschalten LOW wird, beträgt ca. 18 s.

4.2. Laufwerksauswahl

Die Signalleitungen /DS1 bis /DS4 haben nur Bedeutung, wenn mehrere Hard-Disk an einem Rechner angeschlossen sind. Da beim PC EC 1834 der Anschluss von nur einem Hard-Disk vorgesehen ist, aktiviert der HDC nur die /DRIVE SELECT-Leitung /DS1. Dieses Signal wird im Laufwerk wirksam, wenn der entsprechende Schalter EIN programmiert wurde. Damit ist das Laufwerksinterface mit den Steuer- und Statusleitungen des Controllers verbunden.

4.3. Spurzugriff

Eine Lese-/Schreibkopfpositionierung erfolgt nur unter der Voraussetzung, dass /DRIVE READY und /SEEK COMPLETE aktiv sind (/DRDY und /SC = LOW) und /WRITE GATE vom HDC inaktiv geschaltet ist (/WG = HIGH). Jeder Schrittimpuls auf der /STEP-Leitung veranlasst die Köpfe, sich

in Abhängigkeit vom Pegel der /DIRECTION-Leitung einen Zylinder nach innen oder aussen zu bewegen.

```
/DIR  =  LOW  --->  Kopfpositionierung nach innen
                    in Richtung Zylinder 615
/DIR  =  HIGH --->  Kopfpositionierung nach aussen
                    in Richtung Zylinder 00
```

Während der Kopfbewegung darf die Richtung nicht geändert werden!
Um Zeit zu sparen, wird ein gepufferter Suchvorgang durchgeführt. Dabei speichert das Laufwerk die ankommenden /STEP-Impulse und führt nach dem letzten empfangenen Impuls den Suchvorgang als eine Bewegung aus. Während dieser Bewegung wird /SEEK COMPLETE auf HIGH gesetzt. Sind die Lese-/Schreibköpfe auf der abschliessenden Spur am Ende eines Suchvorganges eingestellt, wird über /SC = LOW dem HDC diese Tatsache mitgeteilt.
/SC wird in drei Fällen inaktiv (HIGH-Pegel):

- Nacheichung der Köpfe auf Zylinder 00 beim Einschalten
- 100 ns nach der Vorderflanke eines oder mehrerer Schrittimpulse
- kurzzeitiger Einbruch der Betriebsspannungen

4.4. Kopfauswahl

Über die Leitungen /HEAD SELECT 2^0 und /HEAD SELECT 2^1 ist es möglich, in binär codierter Folge die Auswahl eines Lese-/Schreibkopfes zu realisieren. Die Köpfe sind numeriert von 0 bis 3. Sind die Leitungen /HS2^0 und /HS2^1 = LOW, wird Kopf 0 ausgewählt.

4.5. Index - Erkennung

Das Signal /IX wird vom Laufwerk einmal bei jeder Umdrehung abgegeben, um den Anfang einer Spur anzuzeigen. Es erscheint bei Nenndrehzahl aller 16,9 ms. Im Grundzustand führt dieses Signal HIGH-Pegel. Der Index-LOW-Impuls ist ca. 200 µs lang, wobei die Vorderflanke den /Index im HDC anzeigt.

4.6. Leseoperation

Unter den Bedingungen

- Laufwerk im READY-Zustand (/DRDY = LOW)
- Kopf ausgewählt
- /WRITE GATE - Leitung inaktiv (/WG = HIGH)

können Daten vom Hard-Disk gelesen werden.
Die Daten, welche beim Lesen einer zuvor aufgezeichneten Spur gewonnen werden, gelangen über das Differential-Leitungspaar +MFM READ DATA und -MFM READ DATA zum Hard-Disk-Controller.

4.7. Schreiboperation

Unter den Bedingungen

- Laufwerk im READY-Zustand (/DRDY = LOW)
- Kopf ausgewählt
- /WRITE GATE - Leitung aktiv (/WG = LOW)
- kein /WRITE FAULT - Zustand (/WF = HIGH)

können Daten auf den Hard-Disk geschrieben werden.
Die seriell vom Hard-Disk-Controller ausgegebenen Schreibdaten gelangen über das Differential-Leitungspaar +MFM WRITE DATA und -MFM WRITE DATA zum Laufwerk.
Das Signal /WRITE FAULT (/WF) wird benutzt, um einen am Hard-Disk existierenden Zustand anzuzeigen, durch den Fehler beim Schreiben auf die Platte auftreten könnten.

/WF = LOW bedeutet Verhinderung des Schreibens, bis intern im Hard-Disk dieser Zustand behoben ist.
Es werden fünf Zustände erkannt:

(1) /WG und /DS sind aktiv, es wird aber kein Schreibstrom erkannt.
(2) /WG aktiv, aber keine Übergänge auf der MFM-WRITE-DATA-Leitung.
(3) Schreibstrom in einem Magnetkopf, ohne dass /WG aktiv ist.
(4) Die Betriebsspannungen liegen nicht im Toleranzbereich.
(5) /WG aktiv, aber kein /SC.

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Das elektrische Interface am Hard-Disk K 5504 wird über drei Steckverbinder realisiert:

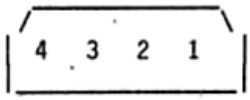
- Steckverbinder für die Steuer- und Statussignale J1
  (34-polig direkt im 1/10"-Raster,
  Kodierschlitz zwischen Pin 4 und 6)

PIN	Kurzzeichen	Bezeichnung
1	GND	
2	RESERVED	
3	GND	
4	RESERVED	
5	GND	
6	/WG	/WRITE GATE
7	GND	
8	/SC	/SEEK COMPLETE
9	GND	
10	/TR00	/TRACK 000
11	GND	
12	/WF	/WRITE FAULT
13	GND	
14	/HS2^0	/HEAD SELECT 2^0
15	GND	
16	RESERVED	(zu J2 Pin 7)
17	GND	
18	/HS2^1	/HEAD SELECT 2^1
19	GND	
20	/IX	/INDEX
21	GND	
22	/DRDY	/DRIVE READY
23	GND	
24	/STEP	/STEP
25	GND	
26	/DS1	/DRIVE SELECT 0
27	GND	
28	/DS2	/DRIVE SELECT 1
29	GND	
30	/DS3	/DRIVE SELECT 3
31	GND	
32	/DS4	/DRIVE SELECT 4
33	GND	
34	/DIR	/DIRECTION IN

- Steckverbinder für die Datenleitungen J2
  (20-polig direkt im 1/10"-Raster,
  Kodierschlitz zwischen Pin 4 und 6)

PIN	Kurzzeichen	Bezeichnung
1	DS*	DRIVE SELECTED
2	GND	ground
3	RESERVED	
4	GND	
5		
6	GND.	
7	RESERVED	(zu J1 Pin 16)
8	GND	
9	SPARE	
10		
11	GND	
12	GND	
13	+WRDA	+ MFM write data
14	-WRDA	- MFM write data
15	GND	
16	GND	
17	+RDDA	+ MFM read data
18	-RDDA	- MFM read data
19	GND	
20	GND	

- Steckverbinder für den Betriebsspannungsanschluss J3
  (4-polig indirekt, auf der Leiterplatte eingelötet)

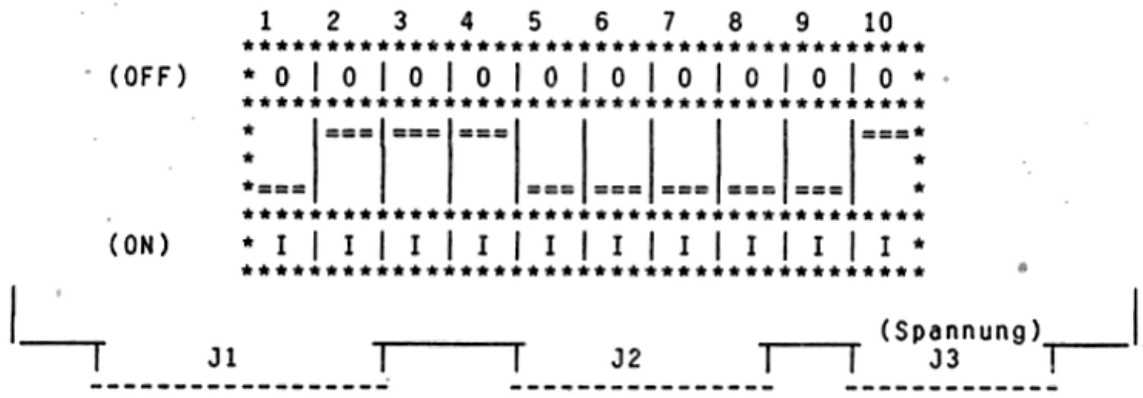


1 = 12P
2/3 = ground
4 = 5P

6. Einstellvorschrift

Zwischen den beiden direkten Steckverbindern der Leiterplatte befinden sich die Geräteauswahlschalter SW1 ... 10. Über diese Schalter muss bei Verwendung mehrerer Hard-Disk-Laufwerke festgelegt werden, ob es sich um Laufwerk 1, 2, 3 oder 4 handelt. Ausserdem sind die Leitungsabschlusswiderstände schaltbar.
Da im PC EC 1834 nur mit einem Hard-Disk gearbeitet wird, ist die vorgegebene Einstellung nicht zu verändern.

- Schalter 1, 5, 6, 7, 8, 9 ON (I)
- Schalter 2, 3, 4, 10 OFF (0)



7. Benutzungshinweise

(1) Sicherheitskopien anfertigen!
Trotz hoher Zuverlässigkeit kann ein Hard-Disk ausfallen oder eine Datei (d. h. ein Sektor) wegen eines neu auftretenden Defektes auf dem Speichermedium unlesbar werden. Deshalb wird dem Nutzer zu seiner eigenen Sicherheit empfohlen:

- ein Duplikat der verwendeten Programme auf Diskette zu halten,
- regelmässig Sicherheitskopien von seinen Daten und in Entwicklung befindlichen Programmen vorzunehmen.

Auch bei einer Reparatur können die aufgezeichneten Daten nicht gerettet werden!

(2) Zulässigen Temperaturgradienten beachten!
Das Initialisieren der Festplatte sowie das Schreiben wichtiger Daten sollten nicht sofort nach der Einschalten des Hard-Disk erfolgen. Vor dem Einschalten soll das Gerät Raumtemperatur angenommen haben. Danach sind etwa 20 Minuten abzuwarten, bis sich das Gerät in einem thermisch stabilen Zustand befindet.

(3) Vor jedem Transport des HD K 5504.20 Magnetköpfe parken!
Vor jedem Transport des HD, ob solo oder im eingebauten Zustand, sind die Magnetköpfe auf den Parkzylinder zu positionieren und danach die Betriebsspannung abzuschalten. Dazu kann das Programm HDPARK.COM genutzt werden. Als Parkzylinder wird ein weit innen liegender Zylinder ausserhalb des Datenbereiches genutzt (Zylinder 646).

(4) Defektstellen des Speichermediums von der Benutzung ausschliessen!
Beim Initialisieren der Festplatte sind in jedem Falle die vom Hersteller auf dem Speichermedium ermittelten Defekte zu berücksichtigen, d. h. die von Defektstellen betroffenen Spuren und Sektoren sind von der Benutzung auszuschliessen, indem sie beim Abarbeiten des Initialisierungprogrammes an entsprechender Stelle eingegeben werden.

8. Hinweise zur Behandlung der Festplattenspeicher

Die nachfolgend aufgeführten Hinweise für den Umgang mit Festplattenspeichern sind unbedingt zu berücksichtigen:

- Behandeln Sie das Gerät behutsam, lassen Sie es nicht fallen! Schütteln Sie das Gerät nicht und stossen Sie es nicht an! Setzen Sie es keinen unzulässigen Schwingungen aus!

- Bewegen Sie nicht den Schrittmotor oder andere Teile des Positioniermechanismus!

- Schützen Sie das Gerät vor Feuchtigkeit und extremen Temperaturen!
  Hohe Feuchtigkeit und extreme Temperaturen bewirken soviel Reibung, dass das Gerät nicht anläuft.

- Sichern Sie den elektrostatischen Schutz!
  Das Gerät ist mit elektrostatischem Material verpackt. Belassen Sie es in der schützenden Hülle, bis es in den Computer eingebaut wird. Für das Ablegen von ausgepackten Geräten ist eine Oberfläche mit antistatischer Polsterung zu verwenden. Die Berührung der Oberfläche der direkten Steckverbinder und der Leiterplatte ist zu vermeiden.

- Bewahren Sie die Leiterplatte vor einer Berührung mit metallischen Gegenständen!

- Schliessen Sie alle Kabel vorschriftsmässig an!
  Eine unkorrekte Verbindung kann elektrische Fehler hervorrufen. Bei eingeschalteter Betriebsspannung dürfen die Kabel nicht gezogen oder gesteckt werden.

- Bedecken Sie nicht die Öffnungen des Luftfiltersystemes auf der Deckeloberseite!

- Transportieren Sie die Geräte nur in zugelassenen Verpackungen!
  Der Versand oder Transport der Geräte darf nur in der Originalverpackung des Herstellers oder in von ihm zugelassenen Behältern erfolgen.

9. Störungen und Massnahmen zu deren Beseitigung

Wenn der Festplattenspeicher nicht ordnungsgemäss arbeitet, gehe man zunächst nach folgender Checkliste vor:

- Spannungsanschluss überprüfen, Spannungen messen,
- Anschluss der Signalkabel nachprüfen (Verdrehungen!),
- richtige Einstellung der Schalter kontrollieren,
- Controller-Einstellungen überprüfen,
- richtige Einstellung der Geräteparameter kontrollieren.

Im folgenden werden noch einige Hinweise zu auftretenden Störungen gegeben. Bei der Fehlersuche sind die Garantiebestimmungen des Herstellers zu beachten!

(1) Gerät läuft nicht an
Nach dem Einschalten der Betriebsspannung muss der Spindelmotor hochlaufen (erkennbar am Geräusch). Nach ca. 10 Sekunden werden zuerst einige Testpositionierungen und dann das Spur-00-Stellen durchgeführt, was an der Drehbewegung der Scheibe am Schrittmotor erkennbar ist. Wenn dieser Vorgang nicht abläuft, ist das Gerät defekt und muss ausgetauscht werden.

(2) Gerät läuft an, schaltet sich aber wieder ab
In diesem Fall liegt ein Fehler vor, der vom eingebauten Mikroprozessor mittels Eigendiagnose festgestellt wurde. Der Mikroprozessor schaltet nach der Fehlererkennung den Spindelmotor ab. Das Gerät ist defekt und muss zur Reparatur.

(3) Kein Anfangsladen des Betriebssystems

- Betriebssystem von einer Systemdiskette laden;
- Sicherheitskopie der betreffenden Partition durchführen;
- relativen Sektor (Zylinder 0, Kopf 0, Sektor 1) neu initialisieren
- Bootpartition neu einrichten und formatieren;
- Systemdateien aufzeichnen.

Ist dieser Vorgang nicht erfolgreich durchführbar, kann der Festplattenspeicher unter DCP bzw. MS-DOS nicht mehr als bootfähiges Gerät eingesetzt werden bzw. ist zur Reparatur zu geben.

10. Wartungsvorschrift

Der Hard-Disk K 5504 ist wartungsfrei.

Technische Beschreibung

Alpha-Numerischer Monitoradapter
1.13.120310.2

Inhaltsverzeichnis

1. Verwendung und Kurzcharakteristik
2. Technische Daten und konstruktiver Beschreibung
2.1. Technische Daten
2.2. Bauelementebasis
2.3. Konstruktiver Aufbau
2.4. Anschlussbedingungen
3. Funktionsbeschreibung
3.1. Allgemeines
3.2. Taktgenerator
3.3. Adressdecodierung für die I/O-Operationen
3.4. Bildwiederholspeicher
3.4.1. Zeichen- und Attributcodierung
3.4.2. Zeichengenerator
3.4.3. Parallel-Serien-Wandler
3.4.4. Ansteuerung des Bildwiederholspeichers
3.4.5. Einzeichencodelatch
3.4.6. Attributsteuerung
3.5. Syncronisation

Anlage 1: Standardzeichensatz

1. Verwendung und Kurzcharakteristik

Der alpha-numerische Monitoradapter (ABA) steuert folgende monochromatische Monitore des ESER-PC 1834 an:

- Monitor 3.20
- " Alpha 1
- " K 7229.24
- " K 7228.1
- IBM " (unter Beachtung spezieller Anschlussbedingungen)

Die Ansteuerung erfolgt digital in alpha-numerischer monochromatischer Betriebsweise.
Das erzeugte Bild wird durch folgende Parameter gekennzeichnet:

- Darstellungsformat: 25 Zeilen zu je 80 Zeichen
- Zeichengrösse : 7x9 Punkte in einer 9x14 Punktmatrix
- jedem Zeichencodebyte ist ein Attributbyte zugeordnet
- Zeichenvorrat : 2x256 alpha-numerische und quasigrafische Zeichen umschaltbar durch Lötbrücke E 1
- blinkender Cursor, Cursorgrösse programmierbar

2. Technische Daten und konstruktive Beschreibung

2.1. Technische Daten

Betriebsspannung:	5 V
Leistungsaufnahme:	35 W
Taktfrequenz:	18 MHz
Punktschreibzeit:	55,5 ns
Horizontalablenkfrequenz:	18,4 ... 21,74 KHz
Bildwiederholfrequenz:	50 ... 60 Hz
Helligkeitsstufen:	hell, intensiv hell
Informationsausgänge:	digital, TTL / open collector HSYN oder SYN-Ausgänge

Die Synchronisierzeiten für den Bildschirm sind programmierbar im Raster 500 ns.

2.2. Bauelementebasis

GDC UB2720 (4 MHz)
SRAM U6516DG15 (U6516DG15)
EPROM U2764 C 45 oder Masken-ROM U2364
Schaltkreise: TTL-s, TTL-LS, DS82..

2.3. Konstruktiver Aufbau

Der ABA ist aufgebaut als 4-Lagen-Leiterplatte mit den Abmessungen 100 mm x 300 mm entsprechend Standard für ESER-PC. Der Adapter trägt für den Anschluss des Monitors eine Buchsenleiste 201-9 EBS-GO 4006/01 (BL-9 pol. Cannon).

2.4. Anschlussbedingungen

Die Anschlussbedingungen entsprechen der Vorgabe des Systembus KROS 5194.

- VIDEO 1 ist die Anzeigeinformation für den jeweiligen Punkt des Bildschirms
- VIDEO 2 löst in Verbindung mit VIDEO 1 eine Darstellung des Zeichens mit einem entsprechenden Attribut aus (Cursor, Invers, blinkendes Zeichen usw.)
- SYN ist ein Impulsgemisch für die Horizontal- und Vertikalsynchronimpulse

HSYN Horizontalsynchronimpuls
Für bestimmte Monitore (IBM) sind getrennte Synchronimpulse erforderlich.
Monitoranschluss am B1 201-9 EBS-GO 4006/01

MON-Adapter
Typ 013-1203

X2						Monitor
PN 1	0V	0V	0V	0V	0V	1
2	0V	0V	0V	0V	0V	2
3	C0	Brücke 1/2	-	-	Brücke 1/2	3
4	C1	-	-	-	Brücke 1/2	4
5	C2	-	Brücke 1/2	-	Brücke 1/2	5
6	VIDEO 2	INTENS	INTENS	VIDEO 2	DUAL	6
7	VIDEO 1	VIDEO 1	VIDEO 1	VIDEO 1	VIDEO	7
8	HSYNCOLY	-	-	-	HOR	8
9	SYN	SYN	SYN	SYN	VERT	9
Griffschale		Schirm	Schirm	Schirm	Schirm	Chassis
		K 7228.1	MON 3.20	K7229.24 Alpha 1	IBM	

Da die verschiedenen möglichen monochromatischen Monitore unterschiedliche Synchronsignale und Signalpegel erfordern, werden durch spezielle Kurzschlussbrücken (PIN 3...5 nach Logik 0V-PIN 1/2) Identifikationsmerkmale gebildet, aus denen im Betriebssystem DCP 3.30 die entsprechenden Teile aus dem logischen Gerätetreiber BIO.COM aktiviert werden.

3. Funktionsbeschreibung

3.1. Allgemeines

Der Graphics-Display-Controller U 82720 DC 04 (GDC) ist das Kernstück des Adapters. Er übernimmt folgende Funktionen:

- Bildung der RAM-Adressen für den Bildwiederholspeicher
- Bereitstellung des aktuellen Liniennummernsignals
- Bereitstellung des Cursorsignals
- Bereitstellung des Dunkeltastsignals
- Bereitstellung eines horizontalen und vertikalen Synchronimpulses

Innerhalb einer Rastergrösse von 500 ns kann ein Zugriff der CPU (ca. 250 ns) und ein Zugriff durch den GDC (ca. 250 ns) auf dem RAM-Speicher erfolgen.
Der Bildwiederholspeicher - 4 K Byte SRAM - wird gebildet durch 2 Schaltkreise vom Typ U 6516 DG oder 6116 DG 15 (2 K x 8 Bit), die eine Zugriffszeit von 150 ns besitzen.
Sie ermöglichen das Abspeichern einer Bildschirmseite von 25 Zeilen zu 80 Zeichen einschliesslich der gleichen Anzahl Attributbytes.
Der Adapter unterstützt (umschaltbar) 2 Zeichensätze mit jeweils 256 Zeichen, deren Darstellungscode in einem Zeichengenerator (EPROM vom Typ U 2764 C 45) abgespeichert wird. Zusätzlich zu jedem Zeichen wird aus dem Attributs-EPROM die Information ausgelesen, welche Merkmale das entsprechende Zeichen haben soll (Corsor, blinkend etc.).
Die Verwendung eines Lichtstiftes ist nicht vorgesehen.

3.2. Taktgenerator

Der Quarz V1 fo=18 MHz bildet den Punkttakt DOTCLK. Dieser Takt wird durch das 6-fache D-FF D02 untersetzt in die Punktzählertakte Q1, Q2, dem Übernahmetakt für den Parallel-Serienwandler L-/S und dem GDC-Takt 2 # WCLK (ca. 4 MHz).

3.3. Adressdecodierung für die I/O-Operationen

Folgende I/O Adressen werden durch den ABA decodiert:
$2B0_H$ bis $2BF_H$
Sie haben folgende Bedeutung:
$2B0_H$: Lesen Statusregister des GDC;
Schreiben Parameter in das FIFO-Register des GDC
$2B2_H$: Lesen FIFO-Register des GDC;
Schreiben Kommando in das FIFO-Register des GDC
$2B8_H$: Einstellen Modusregister des Monitoradapters
$2BA_H$: Übernahme der Statusbits des Monitoradapters
Bei der Einstellung des Modusregisters bewirken:
Bit 3: Anzeigefreigabe (VIDEO ENABLE)
Bit 5: Blinkfreigabe (ENABLE BLINK)
Die Statusbits, die vom Monitoradapter an die CPU übertragen werden, haben folgende Bedeutung:
Bit 0: horizontales Rückstrahlsignal (HSYNC)
Bit 3: Punktanzeige am Monitor (B/W-VIDEO).
Die Adressdecodierung erfolgt durch die 1 aus 8-Decoder D22/D23. D22 wird freigegeben durch das Signal AEN von der Systemplatine (adress enable).
Das Signal /IOCHCK (I/O channel check) wird aktiv bei erkannter I/O Adresse.
Schreib- oder Lesezyklen für den GDC werden gesteuert durch die Signale /IOW und /IOR über den Decoder D71, der am Systembus angeschlossen ist.
Über die Adressleitung A1 wird der GDC über den Eingang A0 zur Unterscheidung von Kommandos und Lese-/Schreibdaten gesteuert.

3.4. Bildwiederholspeicher

3.4.1. Zeichen-und Attributcodierung

Der Bildwiederholspeicher als Teil des CPU-Adressraumes umfasst 4 kByte und ermöglicht die Abspeicherung einer Bildschirmseite von 25 Zeilen mit je 80 Zeichen einschliesslich der gleichen Anzahl von Zeichenattributen. Er enthält auf den mit der Adresse $B0000_H$ beginnenden geradzahligen Adressplätzen die Zeichencodes und auf den jeweils nächst höheren ungeradzahligen Adressplätzen die Codes der entsprechenden Zeichenattribute.
Sein Adressraum umfasst $B0000_H$ - $B0FFF_H$
Die Bedeutung der einzelnen Bits des Attributbytes ergibt sich aus nachfolgender Tabelle:

Attributfunktion	Attributbyte							
	7	6	5	4	3	2	1	0
Blinkmodus	1	x	x	x	x	x	x	x
inverse Darstellung	x	1	1	1	x	0	0	0
intensive Darstellung	x	x	x	x	1	x	x	x
Unterstreichstrich	x	x	x	x	x	0	0	1
Anzeigeunterdrückung	x	0	0	0	x	0	0	0

Alle anderen Bitbelegungen bewirken eine Normalanzeige, d.h. die Darstellung von weissen Zeichen auf schwarzem Hintergrund.
256 verschiedene Codes für alphanumerische und quasigrafische Zeichen können zur Anzeige gebracht werden. Jedes Zeichen der Matrix 25 x 80 pro Bildschirmseite wird definiert durch ein Zeichencodebyte (gerade Adresse) und ein Attributbyte (ungerade Adresse).
Der Bildwiederholspeicher besteht bei diesem Adapter aus 2 x 2k x 8bit stat. RAM-Schaltkreisen. D54 beinhaltet den Zeichencode und D30 Attributbyte des jeweiligen Zeichens.

3.4.2. Zeichengenerator

Der Zeichengenerator wird aus 2 PROM's (U 2764 CC 45) mit je 8 kByte Speicherkapazität gebildet, D40 speichert 2 durch Eingang A12 umschaltbare Zeichensätze von je 256 Zeichen. Mit Entfernen der Brücke E1 wird auf einen 2. Zeichensatz umgeschaltet. D 16 speichert die zum jeweiligen Zeichen gehörenden Attribute. Die Linienzälung des Zeichens übernimmt der GDC über die Steuerleitungen AD13 - AD16, die als Eingang A8 - A11 die Speicherbereiche am PROM in 1/4 kByte-Schritten umschalten.

3.4.3. Parallel-Serien-Wandler

Das Universalschieberegister DL 299 D übernimmt die Parallel-Serien-Wandlung des Videosignals aus dem Zeichengenerator. Es wird mit steigender Taktflanke des Übernahmetaktes L-/S parallel eingeschrieben und mit dem Punkttakt DOTCLK ausgelesen. Für Spalte C0 bis CF_H und D0 bis DF_H des Zeichensatzes (siehe Anlage 1) entsteht das Signal LD9BP. Das FF_H D15/9 wird freigegeben und schaltet den 9. Bildpunkt noch einmal so, wie den vorangegangenen 8. Bildpunkt. Der T186 verknüpft das serielle Videosignal einer Zeichenlinie mit dem Steuersignal INVERS (RVVX) zum Signal SDOTSRV. Das Signal VIDEO 1 entsteht aus SDOTSRV, CVID 1x und HVID 1x (siehe Attributsteuerung) an 2 AND-NOR-GATTERn.

3.4.4. Ansteuerung des Bildwiederholspeichers

Der Bildwiederholspeicher wird über die Adressmultiplexer D31/D19/D07 angesteuert mit den Adressleitungen RAMA0 bis RAMA10. Bei Zugriff durch den GDC (intern) geschieht die Ansteuerung über das A-Tor dieses Multiplexer, wobei die vorgeschalteten 2 Adresslatches D67/D68 durch das Steuersignal ALE (Adresslatch enable) gestrobt werden. Bei externen Zugriff durch die CPU ist das B-Tor der Multiplexer angesteuert.
Die Auswahl: Zeichencode-RAM oder Attribut-RAM wird realisiert durch die Adressleitung A0. In Unabhängigkeit dieser Adressleitung (gerade oder ungerade) werden die beiden Auswahlsignale /CSCC und /CSAT aktiv geschaltet jeweils durch den zeitlich versetzten Takt Q1 und Q2. Das Register D24 schaltet die Daten zum Systembus (X1) über das Schreibregister D32 auf dem Zeichencode-Bildwiederholspeicher (D54) und Register D20 auf dem Bildwiederholspeicher D30 für die Attributbytes. Register D24 wird freigegeben durch das Signal /CPUSEL =L auf CS, dass gebildet wird bei "Bildwiederholspeicheradresse erkannt".

3.4.5. Einzeichencodelatch

Für die Zeit der Darstellung einer Linie eines Zeichens wird mit dem Takt Q1 das adressierte Zeichen aus dem BWS in das Zeichencodelatch D53 gelesen (DL 374 D). Die Ausgänge des Latch sind ein Teil der Adresse des Zeichengenerators.

3.4.6. Attributsteuerung

Die Attributsteuerung erfolgt durch einen Attributgenerator, wie der PROM des Zeichencodes ein 8 k x 8 bit Schaltkreis (450 ns Zugriffszeit) vom Typ U 2764 C 45.
Der 1 aus 8-Decoder D17 decodiert die Cursorlinie (Signal =/ UNDER aktiv) und schaltet im Generator einen bestimmten Speicherbereich über Eingang A8. Analog schalten die Freigabesignale enable, /VIDEO ENABLE und / CURSBLK entsprechende Speicherbereiche um. Das Signal Cursorblink wird durch den 4 bit Binärzähler D8 frequenzmässig aus dem Vertikalsynchronimpuls VSYNCOL 1 und taktet das nachfolgende FF D15/05. Das sich daraus ergebene Signal Blink schaltet ebenso wie andere Attributsteuersignale ein Speicherbereich des Attributgenerators um. In Abhängigkeit der gewünschten Attribute werden aus dem Attributgenerator 4 Videosignale gelesen:

CVID 1 x }
CVID 2 x } Kontroll-Video-Signal
HVID 1 x }
HVID 2 x } High-Video-Signal

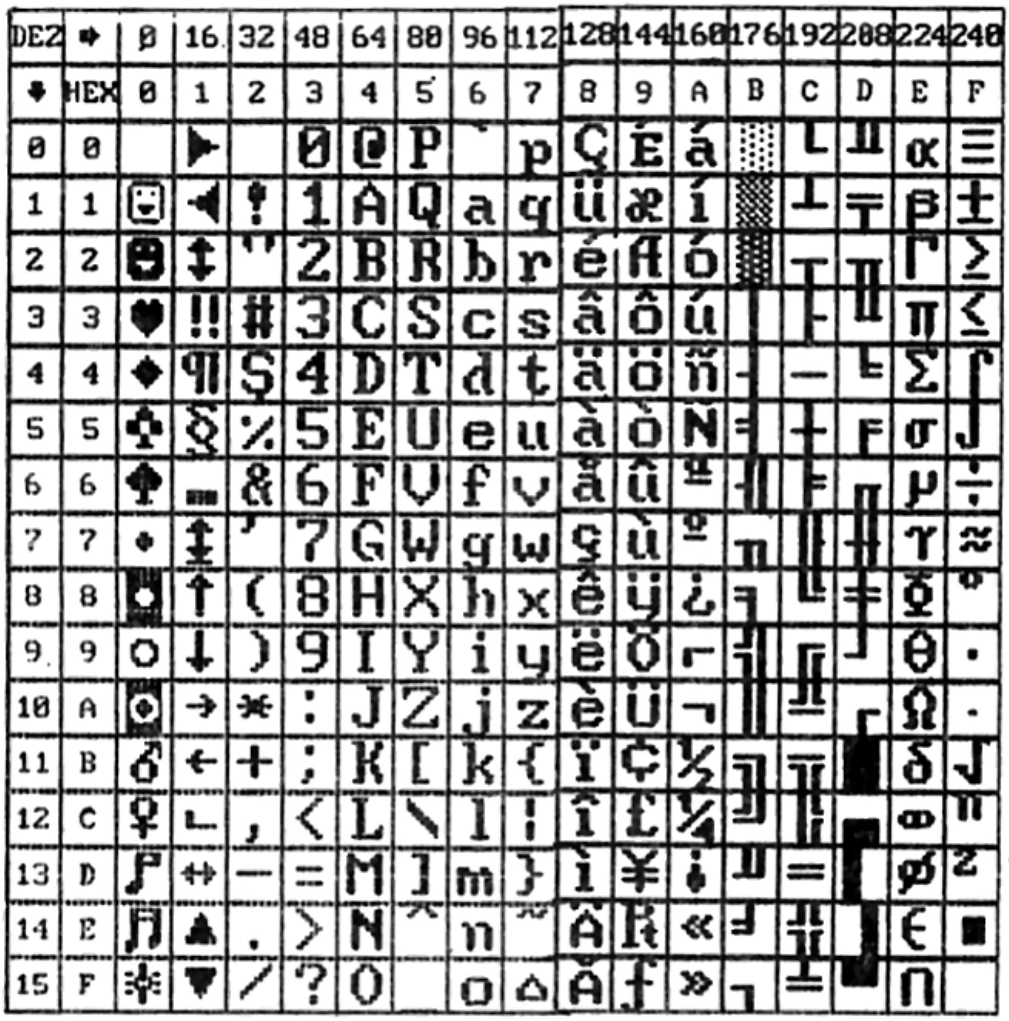
die mit dem seriellen Videosignal SDOTSRV verknüpft, VIDEO 1 und VIDEO 2 ergeben.

3.5. Synchronisation

Das Synchronsignal ist durch Einsatz des GDC programmierbar einschliesslich Austastzeiten. Dadurch ist eine Anpassung an verschiedene Monitore möglich. Der GDC erzeugt die beiden Signale HSYNC und V/EXT SYNC,die dann über die beiden FF's D58/05 und D70 (4-fach DFF mit Rücksetzeingang) den Horizontalablenksynchronimpuls HSYNCOLY (HSYNCOL 1) und den Vertikalsynchronimpuls VSYNCOL 1 formen. Zusätzlich werden beide verknüpft zum Synchrongemisch /SYN. In Abhängigkeit der Beschaltung des Steckers X2 (siehe Anschlussbedingungen Pkt. 2.4.) wird /SYN oder VSYNCOL 1 als Signal SYN dem Stecker X2:9 zugeführt bei aktivem Signal VIDEO ENABLE oder / RESET inaktiv.

Anlage 1: Erweiterter KOI-7bit-Code Zeichensatz-IBM-Kompatibel

Anlage 1: Erweiterter KOI-7bit-Code Zeichensatz
IBM-kompatibel



Technische Beschreibung

Monochromatischer Bildschirm MON K 7229.24
Monochromatischer Grafikbildschirm MON K 7229.25
Personalcomputer robotron EC 1834

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Blockschaltbild
4.2. Kabelempfänger
4.3. Videovorverstärker
4.4. Videoverstärker
4.5. Horizontalablenkung
4.5.1. Horizontalgenerator
4.5.2. Synchronimpulserzeugung und Phasenvergleich
4.5.3. Horizontalendstufe
4.5.4. Hochspannungs- und Hilfsspannungserzeugung
4.6. Vertikalablenkstufe
4.7. Netzteil
4.7.1. Rohspannungserzeugung
4.7.2. Anlaufschaltung
4.7.3. Regler
4.7.4. Treiberstufe
4.7.5. Leistungsstufe
4.8. Sicherheitsschaltung
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift
7. Wartungsvorschrift/Reparaturanleitung
7.1. Wartung und Reparatur
7.2. Austausch von Baugruppen
8. Sicherheitsmassnahmen

1.62.540128.2 (GER)
085-3-000
853.53.01.001

Stand: 06/88

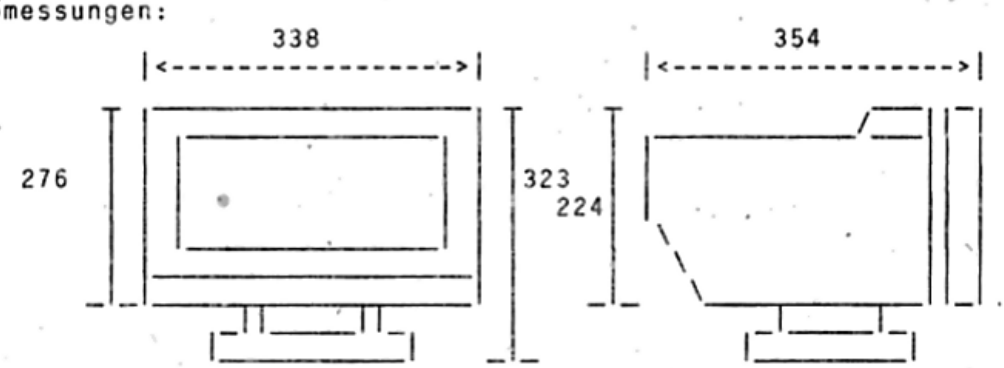
1. Verwendung und Einordnung

Der Monitor K 7229.24/25 ist eine Baugruppe zur visuellen Informationsdarstellung mittels einer monochromatischen Katodenstrahlröhre. Er enthält die elektrischen Funktionsgruppen, die zur Erzeugung eines Bildfeldes auf der Bildröhre erforderlich sind (Vertikal- und Horizontalablenkspannungserzeugung, Videoverstärker, Kabelempfänger, Netzteil).
Für die bildgerechte Aufbereitung der Informations- und Steuersignale ist nicht der Monitor, sondern der zugehörige Adapter des PC zuständig.
Während der Monitortyp K 7229.24 der Darstellung alphanumerischer und pseudografischer Zeichen dient, ist der Monitor K 7229.25 durch eine erhöhte Zeilenfrequenz und einen analogen Videosignaleingang grafikfähig.

2. Technische Daten

Bildröhre:	31 cm - Diagonale
Bildfeldgrösse:	135 mm x 220 mm K 7229.24 165 mm x 220 mm K 7229.25
Linienzeit:	t_L = 32...34 us
Linienrücklaufzeit:	$t_R \geq$ 5 us
Bildwiederholzeit:	t_B = 16...20 ms
Bildrücklaufzeit:	$t_{BR} \geq$ 0,5 ms
Punktschreibzeit:	$t_p \geq$ 40 ns
Betriebsspannung:	220 V + 10 %, - 15 % 48...64 Hz
Leistungsaufnahme:	40 W
Schutzgrad:	IP 20
Betriebsdauer:	24 h - Betrieb

Abmessungen:



Signaleingänge:	K 7229.24	K 7229.25
normal hell	VIDEO1 X1:1I	VIDEO X1:1I
intensiv hell	VIDEO2 X1:2I	analog dkl. 4,3 V
maximal hell	VIDEO1&2 =1,4 V	analog hell 5,0 V
	SYN X1:4I	

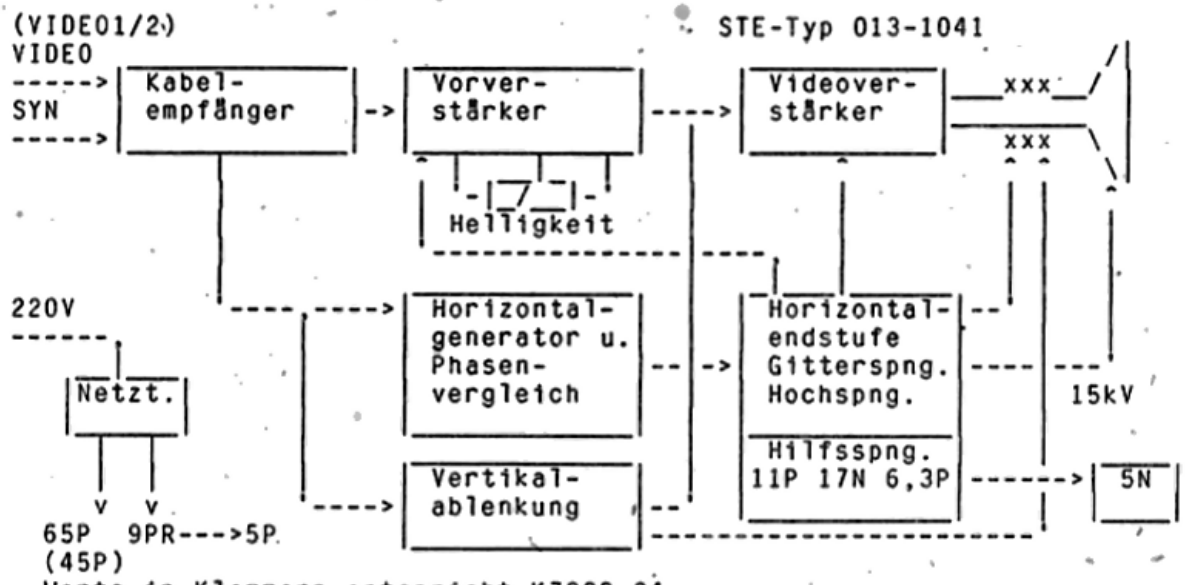
Der Monitor K 7229 ist nach Strahlenschutzbauartprüfung Nr.SB7070585 in Verbindung mit der Bildröhre M31-131 GH/T-S zum erlaubnisfreien Betrieb zugelassen.

3. Konstruktiver Aufbau

Im Chassis des Monitors sind an der Vorderseite die Bildröhre mit Ablenkeinheit und Videoverstärker sowie die Blende mit der Betriebsspannungsanzeige angebracht. In der Seitenwand ist das Netzteil eingeschraubt. Die gesamte Ansteuerung befindet sich auf einer ausschwenkbaren Leiterplatte. Der Netzeingang mit dem Netzschalter ist an der hinteren Unterkante des Gerätes. Zum Anstecken des Informationskabels muss die Rückwand aufgeschwenkt werden.
Alle Verkleidungselemente sind am Chassis angeschraubt.

4. Funktionsbeschreibung

4.1. Blockschaltbild



Werte in Klammern entspricht K7229.24

4.2. Kabelempfänger

Das von der Anschlusssteuerung erzeugte Signal SYN wird über die Kabelempfängerstufe D1 der Vertikal- und Horizontalablenkstufe zugeführt. Das Signal VIDEO gelangt direkt an den Videoverstärker. Die Widerstände R6.x und R5.x sind Kabelabschlusswiderstände.
Der Spannungsteiler R3, R11 erzeugt eine Referenzspannung für den Kabelempfänger D1 von 0,83 V.
Die Drosseln L6 sind zur Funkentstörung vorgesehen.

4.3. Videovorverstärker

Den Eingang des Vorverstärkers bildet der regelbare Spannungsteiler R88, V28. Das Spannungsteilerverhältnis wird geregelt durch den Helligkeitsregler, der den Aussteuerbereich des V28 von 18...0V festlegt. Nachfolgend ist ein schneller gleichstromgekoppelter Anpassverstärker V8,V9 mit einer Verstärkung von 1,5 geschaltet. Die kapazitive Ankopplung (C8) der 2 Stufen würde eine informationsabhängige Schwarzwertverschiebung bewirken. Aus diesem Grund wird der Transistor V12 während des Linienrücklaufes aufgesteuert und C9 auf den Pegel des Schwarzwertes geladen. Dieser Pegel ist für eine Linienzeit der Arbeitspunkt des V10, der den Vorverstärker an den Videoverstärker anpasst.

4.4. Videoverstärker

Der Videoverstärker hat eine Verstärkung von 20. Dabei arbeitet der Endtransistor V1 in Basisschaltung und wird Transistor V3 angesteuert. Durch diese beiden Verstärkerstufen liegt an der Katode der Bildröhre bis 20V an.
Dadurch, dass der Videoverstärker analog angesteuert wird, sind beliebig viele Helligkeitsstufen realisierbar.
Das Dunkeltastsignal, was während des Linien- und Bildrücklaufes aktiv ist, öffnet den Transitor V2, so dass V3 sperrt.
Dadurch erhöht sich die Spannung der Katode auf ca. Betriebsspannung, und die Bildröhre wird sicher gesperrt.
Die Gitterspannungen SUG1, SUG2 und SUG4 sind über Siebkondensatoren und Kabelwiderstände angeschlossen.
Der Drahtring des Bildröhrensockels hat die Funktion von Schutzfunkenstrecken, um Überschläge in den Elektroden der Bildröhre zu vermeiden, die die Gittersysteme zerstören .

4.5. Horizontalablenkung

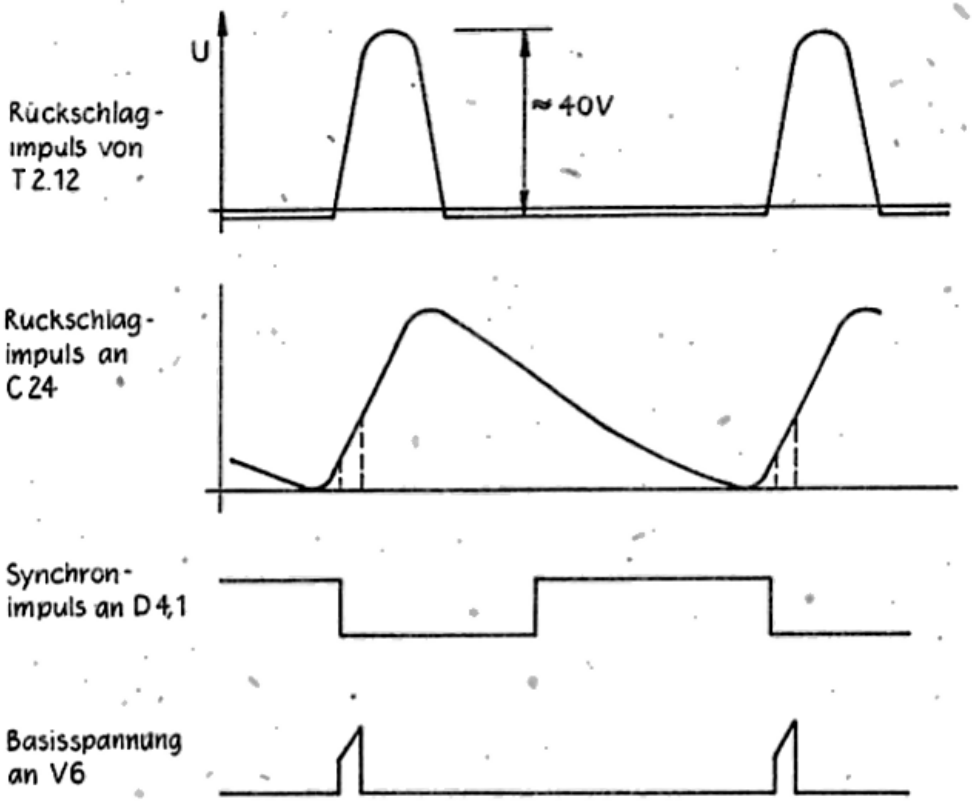
4.5.1. Horizontalgenerator

Der Horizontalgenerator bestehend aus den Transistoren V15 und V16 ist ein astabiler Multivibrator, der mit einer fo = 30 kHz + 8% schwingt. Über die Basis des V16 kann er synchronisiert werden.

4.5.2. Synchronimpulserzeugung und Phasenvergleich

Das vom Adapter erzeugte Synchronimpulsgemisch (Vertikal-, Horizontalimpuls) wird im Kabelempfänger D1 regeneriert und steuert direkt mit der positiven Flanke den monostabilen Multivibrator D4 an.
Dadurch kann die negative Synchronflanke für den Generator um 5...18 us us verzögert werden. Durch diese Stufe wird die Speicherzeit der Horizontalendstufe ausgeglichen, in dem jede Linie mit dem verzögerten Synchronsignalimpuls der vorhergehenden Linie getriggert wird.
Um die Horizontalimpulsfrequenz des Signals SYN mit der im Horizontalgenerator erzeugten zu synchronisieren, werden im Phasenvergleich beide Signale verglichen und eine Regelspannung erzeugt. Diese Regelspannung steuert nachfolgend die Stromquelle V18.
Der Rückschlagimpuls (siehe Impulsdiagramm) wird durch R54,R55,C24 gesiebt und verzögert. V23 ist durch R48 leitend, so dass die Diode V20 sperrt und V22 abblockt. Die negative Synchronflanke (D4/01), sperrt über das Differenzierglied C23,R43,R48 kurzzeitig den Transistor V23, und an der Basis von V22 wird ein Teil des Rückschlagimpul-

ses wirksam.
Der Kondensator C22 wird über V22 auf den Spitzenwert dieses Ausblendimpulses aufgeladen.
Durch den veränderlichen Ladestrom auf C21 wird durch D4 ein Regelbereich von 5...18 us erreicht. Durch das Differenzierglied C19, R42 ist die Resonanzfrequenz regelbar. Das Öffnen und Schliessen des V16 wird beeinflusst und damit die Resonanzfrequenz des Horizontalgenerators.



Impulsdiagramm des Phasenvergleichs

4.5.3. Horizontalendstufe

Die stromstarke Treiberstufe V14,V13 steuert die horizontale Endstufe V50 an. Sie wird im Schalterbetrieb auf- und zugesteuert.
T1 entkoppelt wirkungsvoll die Horizontalendstufe.
Die Horizontalablenkspulen X1 und X2 der Ablenkeinheit sind über C40,C42 an der Primärwicklung des Hochspannungstrafos T2 angeschlossen. Mit L5 kann die X-Linearität eingestellt werden.
Es wird, bedingt durch die Schienenspannung von 65P, eine Hochvolt-Boosterschaltung verwendet. Durch den Boosterkondensator C41 kann die Spannung erhöht werden. Die Ladespannung stockt sich auf die Betriebsspannung auf.
Wenn V50 sperrt, entsteht durch die Induktivität und C41 ein Schwingkreis. Der Ablenkstrom läuft schnell zum negativen Maximum. Beim Nulldurchgang des Stromes liegt über C41 die positive Rückschlagspitze von 850V. Die negative Halbwelle wird von den Dioden V34, V35 stark gedämpft, so dass jetzt wieder die langsame Hinlaufschwingung auftritt. Läuft der Ablenkstrom ins Positive, muss V50 wieder aufgesteuert sein.
Durch verschiedene Abgriffe der Primärwicklung kann die Bildbreite verändert werden.

4.5.4. Hochspannungs- und Hilfsspannungserzeugung

Der Rückschlagimpuls der Zeilenendstufe transformiert in der Hochspannungswicklung 5kV. Durch eine Hochspannungskaskade wird die Spannung auf die Ausgangsspannung von 15 kV verdreifacht.
Am Abgriff 4 T2 wird durch Gleichrichtung durch V36,R34,R82 UG2 600V erzeugt.
Über den regelbaren Spannungsteiler R84,R83 gewinnt man die Fokussierspannung UG4, die zur Schärfeeinstellung des Bildes dient.
Die Hilfswicklung 6,7 erzeugt über V39,C47 die Heizspannung 6,3V der Bildröhre und über V40,C46 die Spannung UG1 von 0...110V.
Mit Regler R86 kann die Sperrspannung der Bildröhre eingestellt werden.
Die Wicklungen 8,9,10 erzeugen über V37,C44 und V38,C45 die Hilfsspannungen 11P und 17N, die für die Vertikalablenkstufe notwendig sind.

4.6. Vertikalablenkstufe

Das RC-Glied R2,R1||C1 am D1 integriert den regenerierten Synchronimpuls.
Der Ausgang 9 wird für etwa 300us low. Dieser kurze Impuls triggert den nachfolgenden astabilen Multivibrator V25,V26. Die Eigenfrequenz des Generators beträgt ca. 50Hz. Über die Widerstände R64,R65 wird der Kondensator C30 langsam aufgeladen. In der Phase, in der V25 leitend ist, entlädt sich C30 über V27 sehr schnell. Es entsteht ein Sägezahn (siehe MP2).
Mit dem Regler R65 ist die Bildhöhe einstellbar.
Zur Erzeugung des sägezahnförmigen Ablenkstromes wurde der Leistungsverstärker N1 verwendet.
Am nichtinvertierenden Eingang liegt die sägezahnförmige Impulsspannung, am invertierenden Eingang der Rückkoppelzweig (R76,R71). Ausserdem wird dieser Sägezahnimpuls von R68,R69,C31 integriert und der Aussteuerspannung überlagert. Mit dem R68 kann so die Vertikallinearität beeinflusst werden.

4.7. Netzteil

Die für die Baugruppe des Monitors notwendigen Betriebsspannungen werden im Sperrwandlerprinzip auf der LP Typ 013-1044 erzeugt .

45P = 45...47 V (K 7229.24) 65 P = 65...68 V (K 7229.25)
9 PR = 9 V

4.7.1. Rohspannungserzeugung

Die vom Netzfilter kommende Netzspannung wird durch die Graetzschaltung V1...V4 gleichgerichtet und durch die Bauelemente C15, C7, L2 gesiebt. Die Kondensatoren C1...C5, C11 und die Drosseln L1, L2 dienen zur Funkentstörung.

4.7.2. Anlaufschaltung

Für das Netzteil ist eine spezielle Anlaufschaltung notwendig.
Der Oszillator - bestehend aus R5, C9 und Diac V8 schwingt mit der Frequenz von 1...2kHz.
Über L1.1, L1.2 von T1 und R5 wird C9 bis auf die Durchbruchspannung des Diacs (ca.32V) aufgeladen. Der Diac bricht durch bis auf seine Haltespannung, es fliesst ein Entladestrom in den Schalttransistor

V15. Der Entladestrom wird begrenzt durch die Widerstände R5 und R7. V15 bleibt für ca.10us leitend.
In der Leitphase des Transistors wird in den Spulen L5, L6 eine Spannung induziert, die die Ladeströme für die Kondensatoren C24 und C26 auslöst. Die Kondensatoren laden sich auf ca.16-18V auf. Ist diese Spannung erreicht, bricht die Vierschichtdiodennachbildung V35...V37 durch und legt die Hilfsspannung als Betriebsspannung an den Regler D21 an.
Der Regelschaltkreis stellt über den Treibertransistor und den Übertrager T2 Ansteuerimpulse für den Schalttransistor V15 zur Verfügung. Die Arbeitsfrequenz des Reglers entspricht der Linienfrequenz des Monitors. Er wird geregelt über den Eingang 09 mit dem Signal SYNCH. Durch diese Arbeitsfrequenz > Frequenz der Anlaufschaltung, bleibt die Spannung an C9 unter der Haltespannung des Diacs. Die Anlaufschaltung ist unwirksam.

4.7.3. Regler

D21 übernimmt alle Regel- und Überwachungsfunktionen.

- Strombegrenzung
- Überspannungsschutz
- Frequenzeinstellung (synchr. durch pin 09)

Im unsynchronisierten Zustand ist die Arbeitsfrequenz 1 kHz höher als die Linienfrequenz. Sie wird mit dem Signal SYNCH (Horizontalendstufe) synchronisiert. Das Signal SYNCH wird gebildet aus dem Rückschlagimpuls der Horizontalendstufe. Während des Linienhinlaufes wird das Signal auf low gehalten .
Da sich der D21 schaltungstechnisch auf der Sekundärseite von T1 befindet, erfolgt die Stromfühlung für Überstrom über den Messwiderstand R8. Mit R15 kann die Ansprechschwelle der Stromsicherung eingestellt werden. Der Messwert wird über den Optokoppler U1 auf den Regler geführt (pin10 - Fernsteuerung EIN/AUS).
Die Spannung 65V wird geteilt. Mit dem Regler R36 gelangt die Steuerspannung auf pin3 des D21.
Die 65V werden über den Spannungsteiler R26, R35 (Regler) auf Überspannung kontrolliert. R35 ermöglicht die Einstellung des Schwellwertes für Überspannung.

4.7.4. Treiberstufe

Der Treibertransformator V26 wird direkt vom Regler D21 angesteuert. Die nachfolgende Schaltung arbeitet im Durchflussprinzip, d.h. ist V26 leitend, fliesst auch ein Strom über V10, C10, R7 in die Basis des Schalttransistors V15. C10 wird aufgeladen.
Sperrt V26, geht der Basisstrom V15 sehr schnell gegen Null. Die Entmagnetisierung des T2 übernimmt die Sekundärwicklung 1..3, indem V11 leitend wird. Durch die Ladung von C10 entsteht ein negativer Basisstrom. Drossel L4 bewirkt, dass der Strom im Kollektorkreis von V11 sehr langsam (2,5us) seinen negativen Spitzenwert erreicht.
Bricht die Basis-Emitter-Strecke durch, sperrt V15.

4.7.5. Leistungsstufe

Sie besteht aus dem als Sperrwandler arbeitenden Leistungsübertrager T1 und dem Hochvoltschalttransistor V15.
Während der Sperrzeit des Transistors V15 lädt sich der C8 auf den

noch fliessenden Übertragerstrom auf. Wird V15 wieder leitend, entlädt sich C8 über R11. Die Kombination C6, R4, V5 baut die Induktionsspitzen der Primärwicklung des T1 ab.
Sekundärseitig werden durch die Wicklungen L3...L6 die Spannungen 65P, 9PR und 19 PH gebildet.

4.8. Sicherheitsschaltung

Die Signaleingangsleitungen sind durch Dioden (V1.1...V1.8) gegen Überspannungsspitzen schutzbeschaltet.
Sollte eine der Dioden durch Überspannung zerstört werden , steigt über die hochohmigen Parallelwiderstände der Pegel des Signals NTA über 1,5V an. Diese Spannung kippt das FF V33, V34 um, und die Ausgangsspannung des D21 wird über V31 kurzgeschlossen, der V15 nicht mehr angesteuert. Die Schaltung arbeitet jetzt über die Anlaufschaltung. (Es ist ein Pfeifton hörbar).
Nach der Fehlerbeseitigung wird das Netzteil erst einmal ausgeschaltet, um einen normalen Anlauf zu erreichen.

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Über einen Gerätestecker g-TGL 10267 ist der Monitor an 220 V angeschlossen. Die Ansteuersignale werden wie folgt beschaltet:

	K 7229.24	K 7229.25
1I	VIDEO1	VIDEO
1A	00	00
2I	VIDEO2	-
2A	00	-
3I	-	-
3A	Schutzerde	
4I	SYN	SYN
4A	00	00

6. Einstellvorschrift

Einstellung der Betriebsspannungen:
Die Betriebsspannungen werden wie folgt eingestellt:

Spannung	Einstellwert	Messpunkt auf STE-Typ 013-1040	Einstellregler
45P	45...47 V	X3:4 K 7229.24	R36 (Netzteil)
65P	65...68 V	X3:4 K 7229.25	R36 (Netzteil)
5P	5+0,25 V	X4:1	R91 (Ansteuerpl.)
5N	- 5+0,25 V	Emitter V3	R8 "

Einstellungen auf der Netzteilleiterplatte:
R15 Schwelle Überstromsicherung
R35 Schwelle Überspannungssicherung
R49 unsynchr. fo des Reglers
Bezugspotential kann beispielsweise das Masseband der Bildröhre sein.

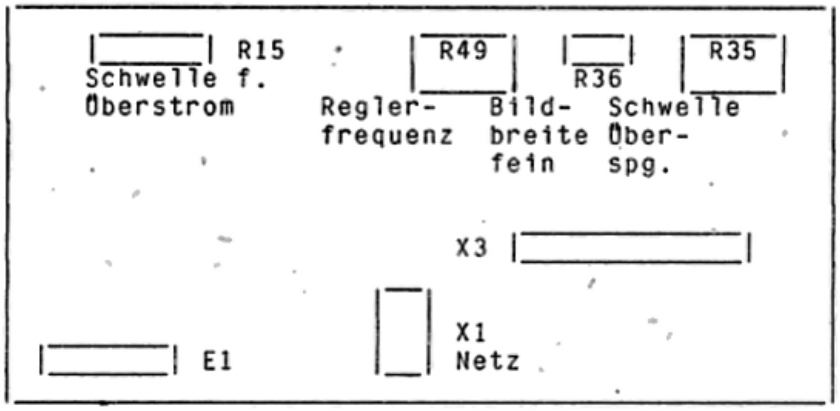
Einstellung der Bildgeometrie:
Das Bild wird auf Schirmmitte zentriert.
Durch Eingabe des Zeichens "H" auf die äusseren Positionen des Schirmbildes ist auch ohne Bildmustergenerator oder ein entsprechendes Programm eine gute Einstellung der Bildgeometrie möglich.

	Einstell-element	Leiter-platte	Sollwert
Bildlage vert./hor.	Bildlage-scheiben	Ablenkeinh.	Bildmitte
Linearität hor.	L5	Ansteuer-LP	27,5 mm + 5%
" vert.	R68	"	17,0 mm K 7229.24 20,6 mm K 7229.25
Bildbreite gross	Brücke E4	"	220 mm
" fein	R36	Netzteil	220 mm
Bildhöhe	R65	Ansteuer-LP	135 mm K 7229.24 165 mm K 7229.25
Kissenkorrektur	Magnete drehen	Ablenkeinh.	
Trapezkorrektur	Magnete schieben	"	

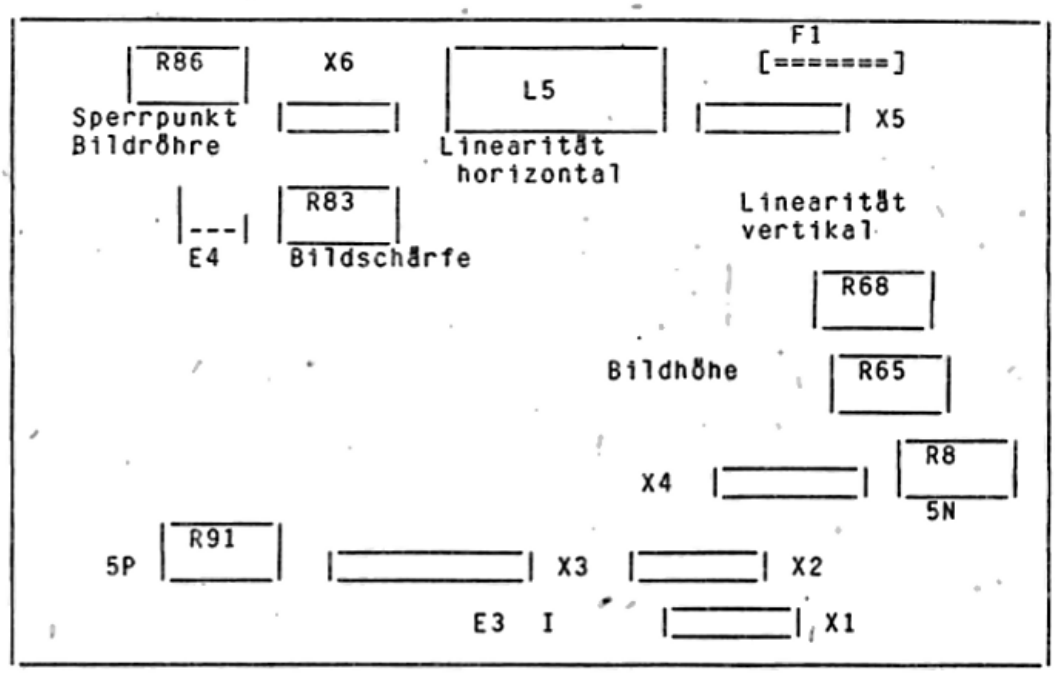
Die Bildbreiteneinstellung erfolgt durch die Einstellung der Betriebsspannung im angegebenen Toleranzbereich. Da die Einstellungen sich gegenseitig beeinflussen, müssen sie wiederholt werden.

Sperrpunktabgleich:
Nach dem Einschalten des Gerätes kann nach 5 min die Einstellung erfolgen (im abgedunkelten Raum).
- Helligkeitsregler an der Blende auf Linksanschlag stellen
- Mit R86 auf der Ansteuer-LP die Grundhelligkeit so einstellen, das sie gerade noch sichtbar ist.

Schärfeeinstellung:
Das Testbild wird bei maximaler Helligkeit mit R83 scharf eingestellt.



Leiterplatte Typ 013 - 1044 (Netzteil)



Leiterplatte Typ 013 - 1040 K 7229.24
Leiterplatte Typ 013 - 1046 K 7229.25

7. Wartungsvorschrift/Reparaturanleitung

7.1. Wartung und Reparatur

Der Monitor ist wartungsfrei. Er sollte jährlich innerlich und äusserlich gereinigt werden. Dabei sind jedoch die Sicherheitsmassnahmen zu beachten. Es ist besonders die Isolieroberfläche um den Anodenanschluss der Bildröhre zu säubern. Bei folgenden Erscheinungen ist der Monitor sofort auszuschalten:

- knisternde und knallende Hochspannungsüberschläge im Monitor
- Zusammenbrechen des Schirmbildes auf einen schmalen hellen Strich oder Punkt.

Werden im Fehlerfall Baugruppen gewechselt, ist in den meisten Fällen ein neuer Abgleich erforderlich.
Auch beim Auftreten von Störungen, wie z. B.

- unstabiles Bild
- Unschärfe
- Bildgeometriefehler
- zu geringe Helligkeit

ist entsprechend der angegebenen Einstellmöglichkeiten zu verfahren.

7.2. Austausch von Baugruppen

An der Rückwand werden 2 Schrauben gelöst und die Rückwand nach unten gedrückt. Die Abdeckhaube kann nach hinten abgezogen werden, wenn 2 seitliche Schrauben gelöst werden.

Wechseln der Bildröhre:
Nach Lösen von 4 Schrauben wird die Blende nach vorn gezogen.
Anschliessend können die 4 Befestigungsschrauben der Bildröhre gelöst werden.

Die Ablenkeinheit und der Videoverstärker werden abgezogen nachdem die Klemmschraube gelockert wird. Der Anodenanschluss wird entfernt, anschliessend entladen und das Masseband nach Lösen der 4 Schrauben ausgehängt. Es dürfen nur typengleiche Bildröhren ausgetauscht werden.

Wechsel der Ansteuerplatte:
Die Ansteuerplatte wird durch 2 Schrauben gehalten. Nach Lösen derselben, kann die Platte aufgeschwenkt werden. Alle Steckbuchsen und der Anodenanschluss werden gezogen. Das obere Scharnier wird gelockert und die Ansteuerplatte kann ausgewechselt werden.

Wechsel des Videoverstärkers:
Die Steckbuchsen zur Ansteuerplatte werden gezogen, die Masseleitung am Masseband der Bildröhre wird ausgehängt. Nach Lockern der Klemmschraube am Bildröhrenhals wird der Verstärker abgezogen. Das Abschirmungteil wird durch Aufbiegen der Blechlaschen geöffnet und die Leiterplatte gewechselt.

Wechsel des Netzteils:
Die Kabel werden gezogen, das Netzteil seitlich herausgenommen. Beim Einbau ist dann wieder auf sichere Schutzerdeverbindung zu achten.

8. Sicherheitsmassnahmen

Sicherheitsmassnahmen sind am Monitor in zweierlei Hinsicht zu beachten:

- Hochspannung bis zu 15 kV
- Implosionsgefahr der Bildröhre

Geschlossene Geräte werden gefahrlos betrieben, wobei allerdings Schläge mit harten Gegenständen sowie Kratzer auf der Bildröhre ausgeschlossen werden müssen. Die Bildröhre selbst zählt zur Gruppe der implosionsgeschützten Röhren. Bei ordnungsgemässer Handhabung tritt keine Implosion auf.
Beim Betreiben des geöffneten Gerätes durch das technische Personal sind die Hochspannungen zu beachten. Es ist zu gewährleisten, dass der Aussenbelag der Bildröhre über das Masseband einwandfrei mit der allgemeinen Masse der Baugruppe verbunden ist. Mit der Brücke E3 auf der Ansteuerplatte wird die Masse mit Schutzerde verbunden. Messungen der Hochspannung dürfen nur mit ordnungsgemäss geerdeten Hochspannungsmessgeräten erfolgen.
Das Abziehen des Anodensteckers darf nur bei ausgeschaltetem Gerät erfolgen. Zwischen Ausschalten und Abziehen des Anodensteckers ist mindestens 1 min zu warten. Soll die Bildröhre ausgebaut werden, ist die Anode zu entladen (über einen Widerstand von ca. 1kOhm mind. 10 s nach Masse). Der Ausbau der Bildröhre hat wegen der Implosionsgefahr mit Gesichtsmaske, Pulsschützer und Halstuch zu erfolgen.

robotron

VEB Robotron
Buchungsmaschinenwerk
Karl-Marx-Stadt
Annaberger Straße 93
Karl-Marx-Stadt
DDR–9010

Exporteur
Robotron-Export/Import
Volkseigener
Außenhandelsbetrieb
der Deutschen
Demokratischen Republik
Allee der Kosmonauten 24
Berlin
DDR–1140

1.62.540117.8 (GER)
850.53.01.001

Kv 1696 89 V 7 1 2148 N2